



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

04
(11) 809555

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 16.04.79 (21) 2751679/18-21

с присоединением заявки № -

(23) Приоритет -

Опубликовано 28.02.81. Бюллетень № 8

Дата опубликования описания 28.02.81

(51) М. Кл.³

Н 03 К 13/17

(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

О.Г. Сморяго и В.Я. Стенин

Ставропольск
центральная
научно-исслед.
библиотека

(71) Заявитель

Московский ордена Трудового Красного Знамени
инженерно-физический институт

(54) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ

Изобретение относится к устройствам импульсной техники и предназначено для использования в цифровых измерительных приборах, устройствах автоматического управления, в системах сбора и обработки данных.

Известны быстродействующие аналого-цифровые преобразователи, построенные по методу непосредственного считывания и содержащие резистивный делитель из 2^n резисторов с одинаковым сопротивлением (n - число двоичных разрядов), служащий для создания $2^n - 1$ эталонных напряжений, которые подаются на входы $2^n - 1$ схем сравнения, на вторые входы которых задается входной сигнал, выходы схем сравнения соединены с $2^n - 1$ входами шифратора, с выходов которого снимается параллельный двоичный код, соответствующий входному сигналу [1].

Недостатком этих преобразователей, проявляющемся при повышении их точности (т.е. с ростом числа двоичных разрядов n), является степенное возрастание (примерно как 2^n) потребляемой мощности и размеров устройства, связанных со степенным ростом числа схем сравнения, резисторов делителя

эталонного напряжения и элементов шифратора.

Известен аналого-цифровой преобразователь, содержащий источник входного сигнала, источник эталонного напряжения, линию задержки с $n - 1$ выходами, где n - количество разрядов преобразователя, $n - 1$ сдвиговых регистров, n элементов сравнения, к первому входу элемента сравнения старшего разряда которого подключен выход источника входного сигнала, ко второму входу - источник эталонного напряжения, выходы элементов сравнения, кроме младшего разряда, соединены со входами $n - 1$ сдвиговых регистров [2].

Недостатком преобразователя является ограниченная точность.

Цель изобретения - повышение точности аналого-цифрового преобразователя.

Поставленная цель достигается тем, что аналого-цифровой преобразователь, содержащий источник входного сигнала, источник эталонного напряжения, линию задержки с $n - 1$ выходами, где n - количество разрядов преобразователя, $n - 1$ сдвиговых регистров, n элементов сравнения,

к первому входу элемента сравнения старшего разряда которого подключен выход источника входного сигнала, ко второму входу - источник эталонного напряжения, выходы элементов сравнения, кроме младшего разряда, соединены со входами $n-1$ сдвиговых регистров, введены резистивная матрица $R-2R$ на $n-1$ разряд, n двухвыходных устройств коммутации, $n-1$ двухвыходных устройств коммутации, $n-1$ устройств аналогового хранения, а линия задержки содержит $n-1$ дополнительных входов, причем к первому входу первого двухвыходного устройства коммутации подключен источник входного сигнала, ко второму входу - источник эталонного напряжения, к выходу - первый вход линии задержки, $n-1$ выходов которой соединены со входами $n-1$ двухвыходных устройств коммутации, у каждого из которых первый выход через соответствующее устройство аналогового хранения, а второй выход - непосредственно соединены со входами соответствующего элемента сравнения данного разряда, выходы элементов сравнения, кроме элемента сравнения младшего разряда, соединены с первыми входами соответствующих им двухвыходных устройств коммутации, выходы которых соединены с $n-1$ входами линии задержки, источник эталонного напряжения подключен ко входу резистивной матрицы $R-2R$, $n-1$ выходы которой соединены со вторыми входами $n-1$ двухвыходных устройств коммутации.

На чертеже изображена блок-схема аналого-цифрового преобразователя на четыре двоичных разряда.

Преобразователь содержит источник 1 входного сигнала, источник 2 эталонного напряжения, линию 3 задержки, имеющую входы 4-7, выходы 8-10 и выводы для подключения двух фаз 11 и 12 импульсного питания, сдвиговые регистры 13-15, элементы 16-19 сравнения, резистивную матрицу 20, имеющую вход 21, выходы 22-24 и содержащую резисторы 25-30, двухвыходные устройства 31-34 коммутации со входами 35-42, двухвыходные устройства 43-45 коммутации с выходами 46-51, устройства 52-54 аналогового хранения. Выходом преобразователя являются выходы 55-57 сдвиговых регистров 13-15 и выход 58 элемента 19 сравнения. В качестве линии задержки используется устройство, выполненное на приборах с зарядовой связью с двухфазным импульсным питанием и неразрушающим считыванием передаваемых сигналов на боковых выходах.

Аналого-цифровой преобразователь работает следующим образом.

На вход 35 устройства 31 коммутации подается входной аналоговый

сигнал U_{bx} от источника 1 входного сигнала, на вход 21 подается от источника 2 эталонного напряжения эталонное напряжение $E_{эТ}$, равное половине максимального входного сигнала $U_{21} = E_{эТ} = U_{bx} m/2$. При этом на выходе 22 напряжение $U_{22} = E_{эТ}/2$ на выходе 23 напряжение $U_{23} = E_{эТ}/4$, на выходе 24 - $U_{24} = E_{эТ}/8$. От источника 1 входного сигнала и источника 2 эталонного напряжения выборка входного сигнала U_{bxi} и эталонный сигнал $E_{эТ}$ поочередно вводятся в линию 3 задержки по входу 4 с помощью двухвыходного устройства 31 коммутации, образуя набор из двух аналоговых сигналов $U_{i,1}(t=0) = U_{bxi} = U_{bx}(t=0)$ и $U_{i,2}(t=T) = E_{эТ}$, где $t=0$ определяет начало отсчета времени с момента ввода выборки входного сигнала U_{bxi} T - период ввода сигнала в линию 3 задержки.

Затем в линию 3 задержки по входу 4 вводится следующий набор из двух сигналов: следующей выборки входного сигнала $U_{bx,i+1} = U_{bx}(t=2T)$ и эталонного сигнала $E_{эТ}$, т.е. $U_{i+1,1}(t=2T) = U_{bx,i+1} = U_{bx}(t=2T)$ и $U_{i+1,2}(t=3T) = E_{эТ}$.

Так в линии 3 задержки формируется и перемещается набор из двух сигналов - выборки входного сигнала и эталонного сигнала. Процесс преобразования выборки входного сигнала в двоичный код рассмотрим на примере выборки входного сигнала

$U_{bx}(t=0) = U_{bxi}$. Одновременно с вводом этой выборки входного сигнала в линию 3 задержки по входу 4 в момент времени $t=0$, эта выборка сравнивается со значением эталонного сигнала $E_{эТ}$ элементом 16 сравнения. Результатом сравнения является логический

сигнал на его выходе равный $a_i=0$ или $a_i=1$, являющийся значением старшего разряда кода преобразуемой выборки входного аналогового сигнала U_{bxi} .

Логический сигнал a_i поступает на вход регистра сдвига 13, выполняющего роль динамической памяти, и одновременно на вход 37 двухвыходного устройства 32 коммутации. Значение логического сигнала a_i на выходе элемента 16 сравнения управляет

двухвыходным устройством 32 коммутации по входу 37 и обеспечивает добавление сигнала $U_{22} = E_{эТ}/2$ с выхода резистивной матрицы 20 через двухвыходное устройство 32 коммутации к меньшему из двух в наборе

сигналов $U_{i,1}(t=0) = U_{bxi}$ и $U_{i,2}(t=T) = E_{эТ}$, перемещающихся в линию 3 задержки, например, если в результате сравнения $U_{bxi} = U_{bx}(t=0) > E_{эТ}$, то после

выборки логического сигнала на выходе элемента 16 сравнения $a_i=1$ будет осуществляться добавка $U_{22} = E_{эТ}/2$ к меньшему в наборе из двух сигналов, т.е. будет $U_{i,1}(t=2T) = U_{i,1}(t=T) = U_{bxi}$, а $U_{i,2}(t=2T) = E_{эТ} + E_{эТ}/2$. Далее, при

переносе набора из двух сравниваемых сигналов по линии 3 задержки первый из них в момент времени $t=2T$ $U_{i1}(t=2T)=U_{bx1}$ считывается неразрушающим способом с линии 3 задержки и поступает на двухвыходное устройство 43 коммутации и на устройство 52 аналогового хранения, которым и запоминается. С выхода устройства 52 аналогового хранения этот сигнал поступает на один из входов элемента 17 сравнения в момент времени $t=3T$. В следующий такт переноса сигналов по линии 3 задержки, т.е. при $t=3T$, второй из сигналов в рассматриваемом наборе $U_{i2}(t=3T)=-U_{i2}(t=2T)=-E_{3T}+E_{3T}/2$ считывается неразрушающим способом с выхода 8 и с выхода 46 устройства 43 коммутации и поступает на второй вход элемента 17 сравнения. В результате сравнения сигналов из рассматриваемого набора $U_{i1}(t=2T)=U_{bx1}$ и $U_{i2}(t=3T)=-E_{3T}+E_{3T}/2$ элемент 17 сравнения вырабатывает значение второго разряда двоичного кода a_2 преобразуемой выборки U_{bx1} аналогового сигнала. Пусть $U_{bx1} < E_{3T} + E_{3T}/2$, тогда $a_2=0$. Логический сигнал $a_2=0$ с выхода элемента 17 сравнения поступает на вход сдвигового регистра 14, имеющего на один разряд меньше, чем сдвиговый регистр 13, в котором хранится значение a_1 . Одновременно сигнал с выхода элемента 17 сравнения по входу 39 управляет двухвыходным устройством 33 коммутации, которое осуществляет добавку уравнивающего сигнала $U_{23}=E_{3T}/4$ к меньшему из сигналов в перемешивающемся в линии 3 задержки наборе из двух сигналов U_{i1} и U_{i2} . В рассматриваемом примере $U_{i1}(t=2T) < U_{i2}(t=3T)$ и добавка $U_{23}=E_{3T}/4$ осуществляется к первому сигналу в наборе, т.е.

$$U_{i1}(t=3T) = U_{i1}(t=2T) + E_{3T}/4 = U_{bx1} + E_{3T}/4,$$

$$U_{i2}(t=4T) = U_{i2}(t=3T) = -E_{3T} + E_{3T}/2.$$

Аналогично происходит процесс формирования более младших разрядов двоичного кода аналогового сигнала U_{bx1} , сопровождающийся уравниванием двух сигналов в наборе U_{i1} и U_{i2} , перемещающихся в линии 3 задержки. Процесс преобразования завершается выработкой на выходе 58 элемента 19 сравнения значения младшего разряда кода a_n , синхронно с выработкой которого на выходах 55-57 сдвиговых регистров появляются значения остальных разрядов кода a_1, a_2, \dots .

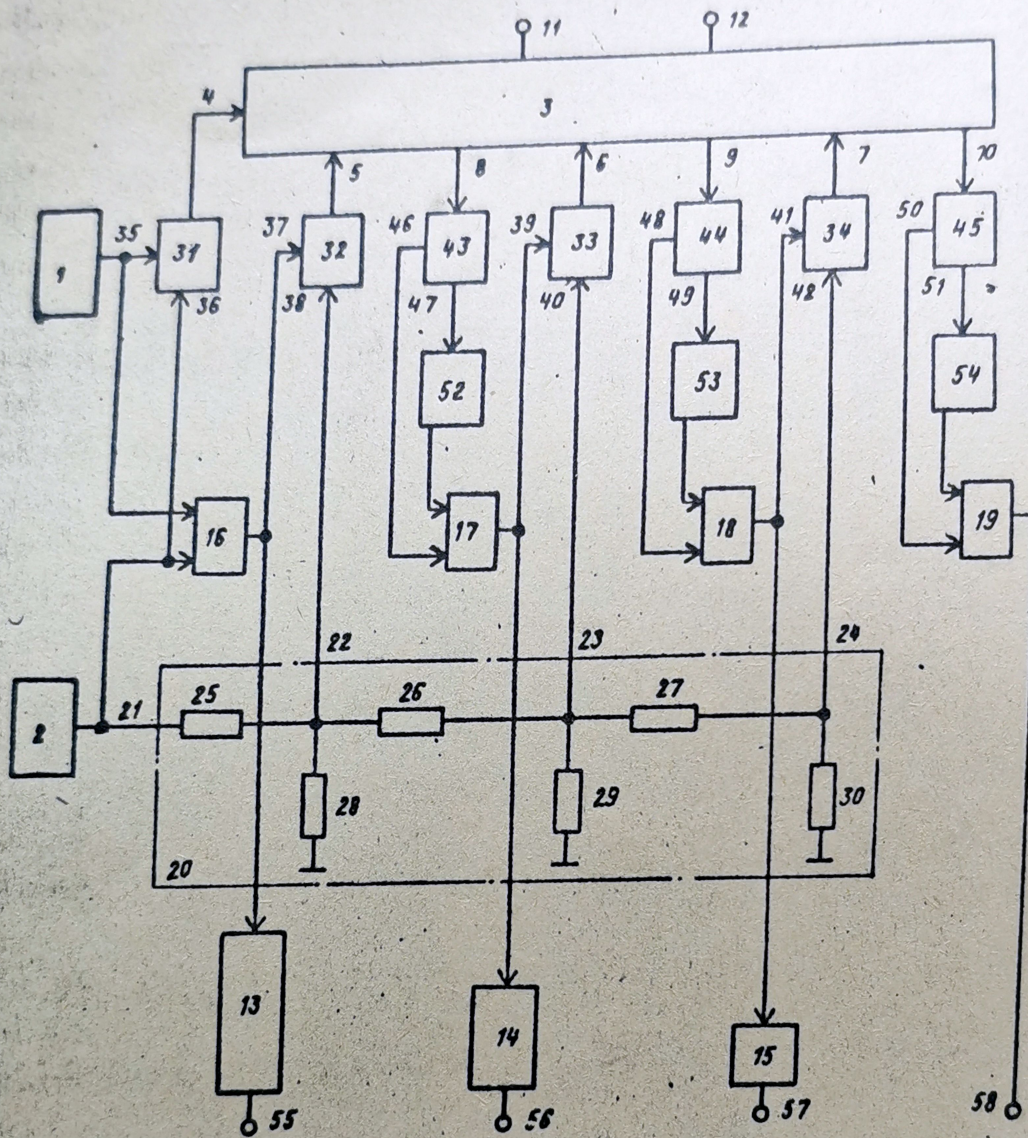
Одновременно в аналого-цифровом преобразователе происходит уравни-

вание n (для рассматриваемого примера $n=4$) выборок входного сигнала U_{bx1} где $i = 1, 2, 3, \dots$.

На выходах 55-58 через промежутки времени $t=2T$ появляются значения параллельного двоичного кода преобразуемых выборок входного сигнала.

формула изобретения

- 10 Аналого-цифровой преобразователь, содержащий источник входного сигнала, источник эталонного напряжения, линию задержки с $n-1$ выходами, где n - количество разрядов преобразователя,
- 15 $n-1$ сдвиговых регистров, n элементов сравнения, к первому входу элемента сравнения старшего разряда которого подключен выход источника входного сигнала, ко второму входу - источник эталонного напряжения, выходы элементов сравнения, кроме младшего разряда, соединены со входами $n-1$ сдвиговых регистров, о т л и ч а ю щ и й с я тем, что, с целью повышения точности, в него введены резистивная
- 20 матрица $R-2R$ на $n-1$ разряд, n двухвходовых устройств коммутации, $n-1$ устройств аналогового хранения, а линия задержки содержит $n-1$ дополнительных входов, причем к первому входу первого двухвходового устройства коммутации подключен источник входного сигнала, ко второму входу - источник эталонного напряжения, к
- 25 выходу - первый вход линии задержки, $n-1$ выходов которой соединены с входами $n-1$ двухвходовых устройств коммутации, у каждого из которых первый выход через соответствующее устройство аналогового хранения, а второй выход - непосредственно
- 30 соединены со входами соответствующего элемента сравнения данного разряда, выходы элементов сравнения, кроме элемента сравнения младшего разряда, соединены с первыми входами соответствующих им двухвходовых устройств коммутации, выходы которых соединены с $n-1$ входами линии задержки, источник эталонного на-
- 35 пряжения подключен ко входу резистивной матрицы $R-2R$, $n-1$ выходы которой соединены со вторыми входами $n-1$ двухвходовых устройств коммутации.
- 40
- 45
- 50
- 55 Источники информации, принятые во внимание при экспертизе
1. Балакай В.Г. и др. Интегральные схемы АЦП и ЦАП. "Энергия", 1978, с. 55.
- 60 2. "Electronic Design", 1969, № 1, с. 101-102 (прототип).



Редактор С. Шевченко Составитель В. Махнанов Техред Е. Гаврилешко Корректор О. Билак

Заказ 457/77

Тираж 999

Подписное

ВНИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4