



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву

(22) Заявлено 16.04.79 (21) 2751680/21

с присоединением заявки №

(23) Приоритет

Опубликовано 28.02.81. Бюллетень № 8

Дата опубликования описания 28.02.81

07
(11) 809556

(51) М. Кл.³

H 03 K 13/17

(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

О.Г. Сморгы и В.Я. Стенин

(71) Заявитель

Московский ордена Трудового Красного Знамени
инженерно-физический институт

(54) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ

Изобретение относится к устрой-
ствам импульсной техники и пред-
назначено для использования в цифро-
вых измерительных приборах, устройст- 5
вах автоматического управления, в
системах сбора и обработки данных.

Известны аналого-цифровые преоб-
разователи поразрядного уравнива-
ния, содержащие устройство
сравнения, на один из входов кото-
рого подается входной сигнал, а вы-
ход подключен к устройству управле-
ния, выходы устройства управления
соединены с n входами (n - число
двоичных разрядов преобразователя)
цифро-аналогового преобразователя,
выход которого соединен со вторым
входом устройства сравнения [1].

Недостатком этих преобразователей
является большое число логических
элементов (до 8-10 двухвходовых
элементов на один разряд), необходи-
мых для построения схемы управления,
которые занимают большую площадь и
потребляют значительную мощность.

Наиболее близким по технической
сущности и достигаемому результату
к предлагаемому является аналого-
цифровой преобразователь, содержащий
источник входного сигнала, устрой-

ство сравнения, выход которого соеди-
нен с входом устройства управления,
выход которого подсоединен к перво-
му входу устройства коммутации,
первый выход последнего через уст-
ройство аналогового хранения соединен
с первым входом устройства сравнения,
источник эталонного сигнала, подклю-
ченный к первому входу формирователя
зарядов [2].

Недостатком этого преобразователя
является низкое быстродействие,
обусловленное большим временем вырв-
нивания поверхностных потенциалов
под двумя идентичными электродами
(затворами), с помощью которых уще-
ствляется деление пополам эталонных
зарядов в формирователе зарядов.

Цель изобретения - повысить бы-
стродействия преобразователя.

Поставленная цель достигается тем,
что в аналого-цифровой преобразова-
тель, содержащий источник входного
сигнала, устройство сравнения, выход
которого соединен с входом устройства
управления, выход которого подключен
к первому входу устройства коммутации,
первый выход последнего через уст-
ройство аналогового хранения соеди-
нен с первым входом устройства срав-

нения, источник эталонного сигнала, подключенный к первому входу формирователя зарядов, введена линия задержки с весовыми отводами, вход которой соединен с выходом формирователя зарядов, выход - со вторым входом устройства коммутации, второй выход которого подключен ко второму входу устройства сравнения, а дополнительный выход устройства управления подключен к первому дополнительному входу формирователя зарядов, к второму дополнительному входу которого подключен источник входного сигнала, причем линия задержки с весовыми отводами выполнена в виде сдвиговой линии на приборах с зарядовой связью с весовыми отводами на основе разрезанных электродов или в виде сдвиговой линии на приборах с зарядовой связью с боковыми отводами и резистивной матрицы типа R-2R, разрядные выводы которой подключены к боковым отводам сдвиговой линии на приборах с зарядовой связью.

На фиг. 1 изображена структурная схема аналого-цифрового преобразователя поразрядного уравнивания, использующего линию задержки на приборах с зарядовой связью с весовыми отводами на основе разделенных (разрезанных) электродов: на фиг. 2 - временные диаграммы: а, б - двухфазовых (Φ_1 и Φ_2) тактовых импульсов питания линии задержки, в - заряда, вводимого в линию задержки, г - выходного сигнала (заряда) линии задержки, д - выходного сигнала (заряда) устройства аналогового хранения; е - напряжения на выходе схемы сравнения

Преобразователь содержит источник 1 входного сигнала, устройство 2 сравнения с выходами 3 и 4, устройство 5 управления, устройство 6 коммутации, устройство 7 аналогового хранения, источники 8 эталонного сигнала, формирователь 9 зарядов, линию 10 задержки, имеющую вход 11, выход 12, выходы 13-15, разделенные весовые электроды 16-19, электроды 20-32 для переноса заряда и сток 33.

Аналого-цифровой преобразователь работает следующим образом.

На вывод 13 подается напряжение тактовых импульсов питания фазы Φ_1 (фиг. 2а), а на вывод 14 - фазы Φ_2 (фиг. 2б).

Для осуществления направленного переноса заряда в двухфазовых приборах с зарядовой связью необходимо иметь неоднородную структуру элементарной ячейки прибора с зарядовой связью (разную толщину окисла под электродом или неравномерное легирование поверхностного слоя подложки в направлении переноса заряда).

На вывод 4 устройства 2 сравнения подается стробирующий импульс, разре-

шающий сравнение входных сигналов и определяющий длительность времени сравнения. Каждый из электродов 16-18, осуществляющих неразрушающее считывание сигналов из линии 10 задержки и весовые функции, разделен на две части так, что отношение площади частей электродов, подключенных к выходу 12, образуют ряд вида $2^{-(n-1)}$, где $l = 1, 2, 3, \dots$; n - порядковый номер разделенного весового затвора при отсчете их от входа 11 линии 10 задержки. Последний весовой электрод 19 при $l=n$ не делится на части (фиг. 1). Для приведенного соотношения площадей частей весовых электродов сигналы на выходе 12, обусловленные одной порцией заряда, передаваемой в линии 10 задержки последовательно под весовыми разделенными электродами 16-18, будут образовывать ряд вида $1, 2, 4, 8, \dots$ и т.д.

В начальный момент времени при $t=0$ под всеми электродами 16-32 линии 10 задержки заряды отсутствуют. С помощью формирователя 9 зарядов под первый весовой разделенный электрод 16 инжектируется заряд q_{bx} , пропорциональный величине сигнала от источника 1 входного сигнала

$q_{16} = q_{bx}(t=0) = K_{bx} U_{bx}(t=0)$, где K_{bx} - коэффициент пропорциональности (фиг. 2в). Следующая выборка входного сигнала осуществляется после за-

вершения полного цикла преобразования данной выборки в код. Разделенный весовой электрод 16 осуществляет неразрушающее считывание заряда q_{bx} с весовым коэффициентом $K_{b_{16}} 2^{-(n-1)}$, где $l=1$. Сигнал с выхода 12 линии 10 задержки, соответствующий взвешенному заряду q_{bx} и равный $q_{12}(t=0) = K_{b_{16}} q_{bx} 2^{-(n-1)}$, где $K_{b_{16}}$ - коэффициент пропорциональности, вводится через устройство 6 коммутации в устройство 7 аналогового хранения, где и запоминается (фиг. 2д). В

момент времени $t=T$ (T - период тактовых импульсов фаз Φ_1 и Φ_2) под электрод 16 с выхода формирователя 9 заряда инжектируется заряд q_{zt} , пропорциональный сигналу источника 8 эталонного сигнала $q_{16} = q_{zt} = K_{b_{16}} E_{zt}$. Эталонный сигнал E_{zt} равен половине максимального входного сигнала

$E_{zt} = U_{bx} m / 2$. Во время считывания взвешиваемого заряда q_{zt} с помощью весового электрода 16 (при $t=T$) заряд q_{bx} находится под электродом 22 и не считывается. Сигнал с выхода 12, соответствующий взвешенному эталонному заряду q_{zt} и равный $q_{12}(t=T) = K_{b_{16}} q_{zt} 2^{-(n-1)}$, через устройство

6 коммутации поступает непосредственно на второй вход стробируемого устройства 2 сравнения и сравнивается во время прихода сигнала $q_{12}(t=T)$ с сигналом, хранимым устройством 7 выборки и хранения

$q_7(t=T) = q_{12}(t=0) = K_{\text{вых}} q_{\text{вх}} 2^{-(n-1)}$. Если $q_{12}(t=0) < q_{12}(t=T)$, что соответствует $U_{\text{вх}} < U_{\text{вхм}}/2$, то на выходе 3 устройства 2 сравнения появится сигнал логического "0", а при $q_{12}(t=0) > q_{12}(t=T)$ (что соответствует $U_{\text{вх}} > U_{\text{вхм}}/2$) - логической "1". Выработанный логический сигнал a_1 ("0" или "1") на выходе 3 устройства 2 сравнения в виде сигнала U_3 (фиг. 2е) является значением старшего разряда двоичного кода преобразуемой выборки. Логический сигнал a_1 с выхода 3 устройства 2 сравнения (см. фиг. 2е) поступает на вход устройства 5 управления, выходной сигнал которого управляет работой формирователя 9 зарядов.

Работа преобразователя основана на том, что в линии 10 задержки формируются два набора сигналов. Один набор сигналов образует заряд $q_{\text{вх}i}$, вводимый при $t=0$, и заряды $q_{\text{эт}} \bar{a}_i$ (где $a_i=0$ или 1), вводимые в линию 10 задержки в момент времени $t=2T, 4T$ и т.д., т.е. $t=2T \cdot i$, где $i=1, 2, 3, \dots, n$. Второй набор образуют заряд $q_{\text{эт}} a_i$, вводимый при $t=T$, и заряды $q_{\text{эт}} \bar{a}_i$ (где $a_i=1$ или 0, так что $a_i + \bar{a}_i = 1$), вводимые в линию 10 задержки в моменты времени $t=3T, 5T, \dots$ и т.д., т.е. $t=T+2T \cdot i$, где $i=1, 2, 3, \dots, n$. На выходе 12 линии 10 задержки сигнал образуется как сумма взвешенных с помощью разделенных электродов зарядов, находящихся в данный момент времени в наборе, находящемся под всеми разделенными электродами. Сигналы от двух наборов зарядов, находящихся в линии 10 задержки, поступают на выход 12 поочередно через интервалы времени T , равные тактовому периоду фазового питания линии 10 задержки.

Если в результате первого сравнения и выработки значения старшего разряда кода a_1 оказывается $U_{\text{вх}} < U_{\text{вхм}}/2$, то в момент времени $t=2T$ с выхода формирователя 9 зарядов на вход 11 линии 10 задержки поступает заряд $q_{\text{эт}} = K_{\text{вх}} E_{\text{эт}}$, если $U_{\text{вх}} > U_{\text{вхм}}/2$, то в момент $t=2T$ заряд на вход линии 10 задержки не поступает, в этом случае заряд $q_{\text{эт}}$ поступает на вход 11 линии 10 задержки в момент времени $t=3T$. Для конкретного примера (фиг. 2д) $U_{\text{вх}} > U_{\text{вхм}}/2$ (т.е. $q_{\text{вх}} > q_{\text{эт}}$, $a_1=1$, $\bar{a}_1=0$) и, следовательно, очередной заряд $q_{\text{эт}}$ вводится в линию 10 задержки под весомой электрод 16 в момент времени $t=3T$ и его вес добавляется к введенному при $t=T$ заряду $q_{\text{эт}}$, который в момент времени $t=3T$ находится под электродом 17 и имеет в наборе вес, увеличенный в два раза по сравнению со временем $t=T$. Добавление очередного эталонного заряда осуществляется в тот набор

зарядов, которому соответствует при последовательном сравнении меньший сигнал на выходе 12 линии 10 задержки. При переносе зарядов $q_{\text{вх}}$ и $q_{\text{эт}}$ в направлении от отвода с малым весом коэффициентом к отводам с большими значениями весовых коэффициентов разность сигналов на выходе 12 от двух наборов при сдвиге их на один разряд увеличивается вдвое за счет изменения весовых коэффициентов, что позволяет осуществлять уравнивание преобразуемого аналогового сигнала введением в линию 10 задержки фиксированных по амплитуде сигналов $q_{\text{эт}}$. Последовательность значений зарядов в наборе, содержащем входной сигнал (заряд), образует обратный двоичный код преобразуемой выборки \bar{a}_i . Второй набор, исключая первый заряд в наборе, соответствует двоичному коду преобразуемой выборки a_i .

При $t=2T$ в устройстве 7 аналогового хранения запоминается сигнал, поступающий через устройство 6 коммутации с выхода 12 линии 10 задержки

$$q_{12}(t=2T) = K_{\text{вых}} [\bar{a}_1 q_{\text{эт}} 2^{-(n-1)} + q_{\text{вх}} 2^{-(n-2)}],$$

где $\bar{a}_1=0$ - значение старшего разряда обратного кода преобразуемой выборки входного сигнала. Этот сигнал сравнивается схемой 2 сравнения в момент времени $t=3T$ с сигналом на выходе 12 линии 10 задержки, поступающим через устройство 6 коммутации

$$q_{12}(t=3T) = K_{\text{вых}} q_{\text{эт}} [a_1 2^{-1} + 2^0] \cdot 2^{-(n-2)},$$

где $a_1=1$ - значение старшего разряда кода преобразуемой выборки. В данном примере в результате сравнения $q_7(t=3T) = q_{12}(t=2T) > q_{12}(t=3T)$ на выходе 3 устройства 2 сравнения вырабатывается значение второго разряда кода $a_2=0$, в виде напряжения U_3 (см. фиг. 2е), что соответствует $U_{\text{вх}} < (U_{\text{вхм}}/2)(2^0 + 2^{-1})$.

В момент времени $t=4T$ с выхода формирователя 9 зарядов на вход 11 линии 10 задержки поступает эталонный заряд, который поступает в набор зарядов, содержащий входной сигнал (заряд) $q_{\text{вх}}$.

Сигнал на выходе 12, соответствующий моменту времени $t=4T$ будет определяться соотношением

$$q_{12} = K_{\text{вых}} [q_{\text{вх}} + q_{\text{эт}} (\bar{a}_1 2^{-1} + \bar{a}_2 2^{-2})] \cdot 2^{-(n-3)}.$$

Сигнал $q_{12}(t=4T)$ запоминается устройством 7 аналогового хранения.

В момент времени $t=5T$ на выходе 12 будет сигнал

$$q_{12}(t=5T) = K_{\text{вых}} q_{\text{эт}} (2^0 + a_1 2^{-1} + a_2 2^{-2}) \cdot 2^{-(n-3)}.$$

Для данного примера в результате сравнения $q_7(t=5T) = q_{12}(t=4T)$ и $q_{12}(t=5T)$ на выходе 3 устройства 2 сравнения появляется логический

сигнал $a_n = 0$ в виде U_3 (см. фиг. 2e), что соответствует $U_{bx} < E_{zt} (2^n + 2^{n-1})$. На фиг. 2 показаны временные диаграммы для уравнивания входного заряда q_{bx} только в трех разрядах преобразователя, соответствующий двоичный код будет 100.

Формирование младшего разряда кода происходит на последнем этапе начиная с момента времени $t' = 2(n-1)T$. В этот момент времени под весовым электродом 19 находится заряд q_{bx} , а под остальными весовыми разделенными электродами в направлении от весового электрода 19 к весовому электроду 16 - заряды величиной $a_i q_{zt}$. Выходной сигнал с выхода 12 через устройство 6 коммутации вводится и запоминается в устройстве 7 аналогового хранения. Через такт фазового питания в момент времени $t = (2n-1)T = -t' + T$ на другой вход устройства 2 сравнения поступает сигнал

$$q_{12}(t'+T) = K_{\text{вых}} q_{zt} \left(1 + \sum_{i=1}^{n-1} a_i 2^{-i} \right).$$

Эти два сигнала сравниваются устройством 2 сравнения, на выходе 3 которого вырабатывается логический сигнал a_n , соответствующий значению младшего разряда кода. Логический сигнал a_n вводится в линию 10 задержки в виде заряда величиной $a_n q_{zt}$.

Двоичный код преобразуемого аналогового сигнала формируется в процессе преобразования последовательно на выходе 3 устройства 2 сравнения в виде импульсного сигнала U_3 .

Кроме этого, после завершения преобразования он содержится в виде зарядов $a_i q_{zt}$ в линии 10 задержки и может быть выведен оттуда в виде последовательного кода через сток 33 и вывод 15. Значения двоичного кода a_i чередуются в разрядах линии 10 задержки со значениями обратного двоичного кода \bar{a}_i преобразованной выборки входного аналогового сигнала.

1. Аналого-цифровой преобразователь, содержащий источник входного сигнала, устройство сравнения, выход которого соединен с входом устройства управления, выход которого подключен к первому входу устройства коммутации, первый выход последнего через устройства аналогового хранения соединен с первым входом устройства сравнения, источник эталонного сигнала, подключенный к первому входу формирователя зарядов, отличающийся тем, что, с целью повышения быстродействия преобразователя, в него введена линия задержки с весовыми отводами, вход которой соединен с выходом формирователя зарядов, выход - со вторым входом устройства коммутации, второй выход которого подключен ко второму входу устройства сравнения, а дополнительный выход устройства управления подключен к первому дополнительному входу формирователя зарядов, к второму дополнительному входу которого подключен источник входного сигнала.

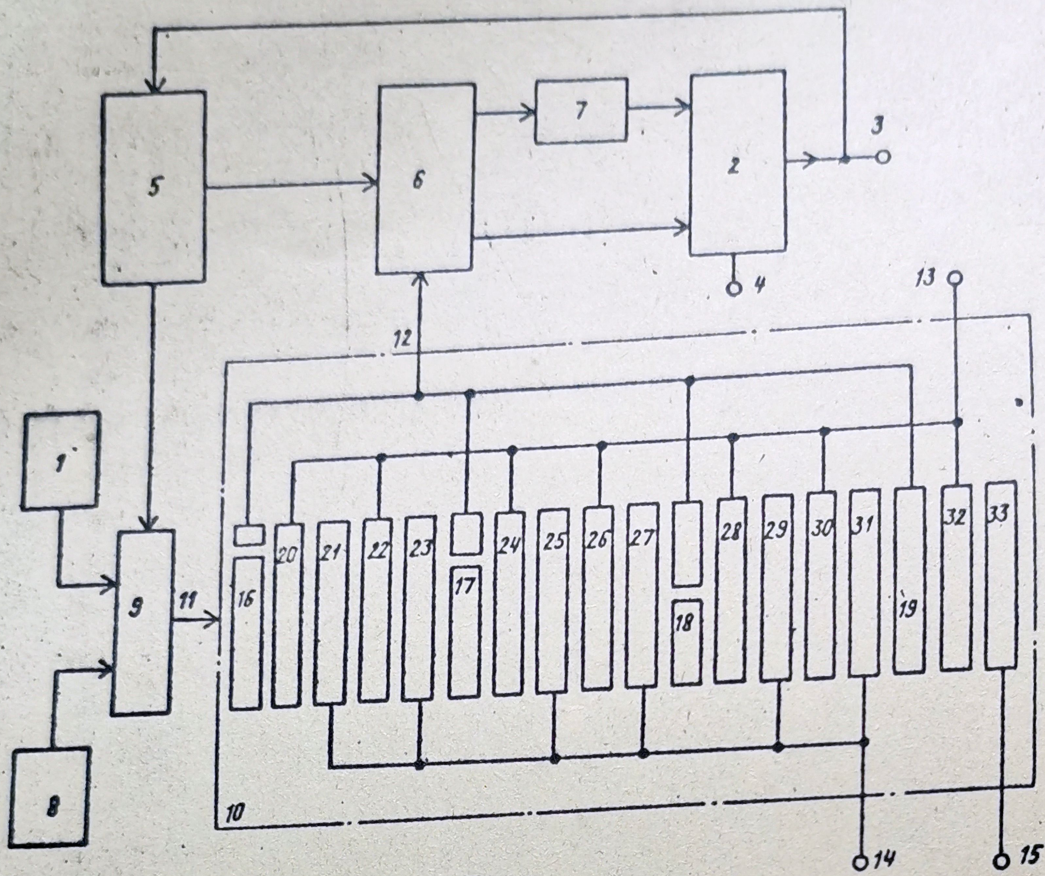
2. Преобразователь по п.1, отличающийся тем, что линия задержки с весовыми отводами выполнена в виде сдвиговой линии на приборах с зарядовой связью с весовыми отводами на основе разрезанных электродов.

3. Преобразователь по п.1, отличающийся тем, что линия задержки с весовыми отводами выполнена в виде сдвиговой линии на приборах с зарядовой связью с боковыми отводами и резистивной матрицы типа R-2R, разрядные выводы которой подключены к боковым отводам сдвиговой линии на приборах с зарядовой связью.

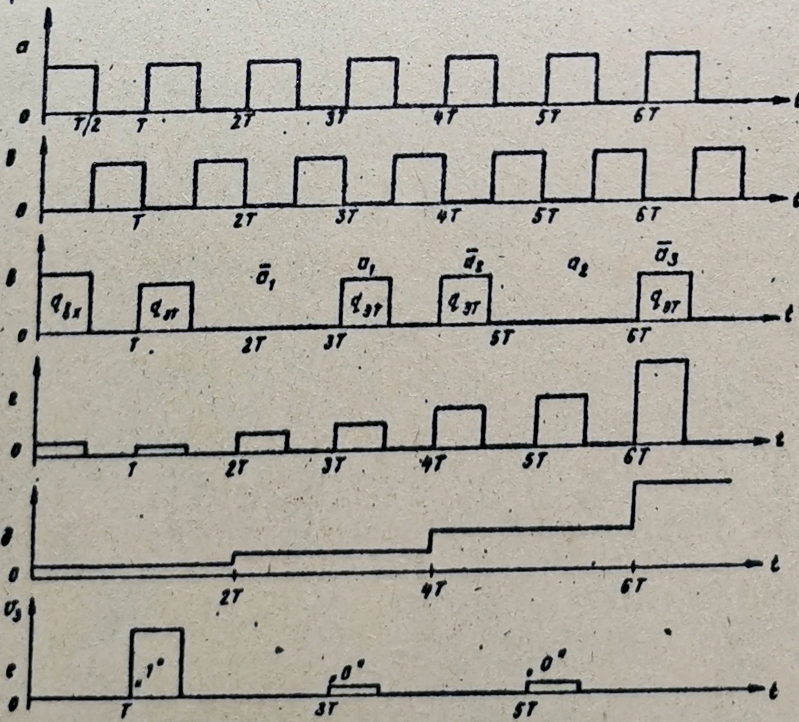
Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 167373, кл. Н 03 К 13/02, 1966.

2. Патент Франции № 2343369, кл. Н 03 К 13/02, 1977 (прототип).



Фиг. 1



Фиг. 2