

Шильнов-

Союз Советских
Социалистических
Республик



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 660240

- (61) Дополнительное к авт. свид-ву —
- (22) Заявлено 01.08.76 (21) 2388960/18-21
с присоединением заявки № —
- (23) Приоритет —
- (43) Опубликовано 30.04.79. Бюллетень № 16
- (45) Дата опубликования описания 30.04.79

(51) М. Кл.²
H 03K 13/17//
G 01R 13/02

(53) УДК 681.325.72
(088.8)

(72) Автор
изобретения

В. М. Оранжев

(71) Заявитель

—

Свердловская
Центральная
научно-исследовательская
библиотека

(54) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ С КОРРЕКЦИЕЙ ДИНАМИЧЕСКИХ ПОГРЕШНОСТЕЙ

1

2

Изобретение относится к технике преобразования аналоговых сигналов в цифровые.

Известен аналого-цифровой преобразователь с коррекцией в процессе поразрядно-уровневого уравнивания [1].

Недостатком его является невозможность преобразования сигналов за h -тактов.

Известен аналого-цифровой преобразователь с коррекцией динамических погрешностей, содержащий сравнивающие устройства, преобразователь кодов в напряжение, блок контрольных напряжений, схемы суммирования напряжений, логические схемы, генератор импульсов, распределитель тактовых импульсов, дополнительный преобразователь кода в напряжение, аналоговый выход которого подключен к схеме суммирования компенсирующих напряжений, а цифровой выход соединен с входом цифрового сумматора, на другой вход которого подключен цифровой выход основного преобразователя кода в напряжение [2].

Недостатком устройства является невысокое быстродействие за h -тактов.

Целью изобретения является повышение быстродействия.

Цель достигается тем, что в аналого-цифровой преобразователь, содержащий основной и дополнительный преобразовате-

ли кодов в напряжения с подключенными поразрядно регистрами, распределитель тактовых импульсов, вход которого соединен с выходом генератора тактовых импульсов, а его выходы соединены с входами разрядов регистров основного и дополнительного преобразователей кода в напряжение, аналоговый выход первого из которых соединен с входом блока сравнения и первыми входами блоков суммирования и вычитания, а аналоговый выход дополнительного преобразователя кода в напряжение соединен с вторыми входами блоков суммирования и вычитания, при этом выход последнего подключен к входу второго блока сравнения, а выход блока суммирования — к входу третьего блока сравнения, сигнальный вход которого соединен с входной клеммой и с сигнальными входами первого и второго блоков сравнения, введены логический элемент НЕ, блок кодирования старших разрядов и логический блок коррекции, при этом входы блока кодирования старших разрядов соединены с соответствующими входами логического блока коррекции и с выходами первого и третьего блоков сравнения непосредственно и через логический элемент НЕ — с выходом второго блока сравнения и с другими входами логического блока

5

10

15

20

25

30

коррекции, соответствующие выходы которого подключены к счетным входам и входам установки нулей младших разрядов регистра основного преобразователя кода в напряжение, входы установки единиц старших разрядов которого соединены с соответствующими входами блока кодирования старших разрядов и с входами установки единиц регистра дополнительного преобразователя кода в напряжение, причем соответствующие выходы блока кодирования старших разрядов соединены с входами установки нулей $2K+1$ старшего разряда и с входами установки единиц старшего разряда регистра дополнительного преобразователя кода в напряжение (где K — натуральный ряд чисел), вес второго разряда которого выбран равным весу младшего разряда регистра дополнительного преобразователя кода в напряжение, а блок кодирования старших разрядов содержит логические элементы И и 2И—ИЛИ, равные числу старших разрядов регистра основного преобразователя кода в напряжение, при этом соответствующие входы логических элементов 2И—ИЛИ соединены с соответствующими входными клеммами и со вторыми входами логических элементов И, первые входы которых подключены к входным клеммам, логический блок коррекции содержит логический элемент НЕ и логические элементы И, входы которых соединены с соответствующими входными клеммами и между собой.

На чертеже изображена функциональная схема одиннадцатиразрядного устройства.

Устройство содержит узел сравнения 1, генератор 2 тактовых импульсов, распределитель 3 тактовых импульсов, основной преобразователь 4 кода в напряжение, регистр 5 (реверсивный счетчик), блок 6 кодирования старших разрядов, логический блок 7 коррекции, дополнительный регистр 8 кода и преобразователь 9 кода в напряжение, элемент НЕ 10. Узел сравнения 1 состоит из блоков сравнения 11, 12 и 13 и аналоговых блоков вычитания 14 и блока сложения 15. Устройство содержит также элементы совпадения 16—25, элементы 2И—ИЛИ 26 и 27 и элемент НЕ 28.

Выходы распределителя 3 соединены непосредственно со входами установки «единиц» младших разрядов регистра 5 и старших из пар в группе старших разрядов регистра 5, со входами регистра 8, через логический блок 6 кодирования старших разрядов со входами установки «нуля» старших из пар и входами установки «единиц» младших из пар разрядов регистра 5 и через логический блок 7 коррекции со счетными входами сложения и вычитания и входами установки «нуля» младших разрядов регистра 5. Выходы блока сравнения соединены с управляющими входами блоков 6 и 7.

Импульсом x_0 устанавливается начальное состояние, при этом старшие разряды регистров 5 и 8 устанавливаются в «единицы», все остальные разряды регистров 5 и 8 устанавливаются в «нулевое» положение (цепь установки «нулей» на чертеже не показана). Вес старшего разряда дополнительного ПНК соответствует весу младшего разряда из старшей пары разрядов основного регистра 5, т. е. 10-му разряду основного ПНК.

Блоки сравнения 11, 12 и 13 вырабатывают сигналы «1», если $U_x < U_0$, $U_x < U_0 - U_k$, $U_x > U_0 + U_k$, и «0», если $U_x > U_0$, $U_x > U_0 - U_k$, $U_x < U_0 + U_k$ соответственно.

Импульсами $x_1 \dots x_4$ производится поразрядное уравнивание старших разрядов по два за один такт соответственно 11-ый разряд и 10-ый разряд, 9-ый разряд и 8-ой разряд, 7-ой разряд и 6-ой разряд, 5-ый разряд и 4-ый разряд.

Если в момент x_1 $U_x < U_0$, то через элемент совпадения 16 11-ый разряд регистра 5 сбрасывается в нулевое состояние, если $U_x > U_0$, то 11-ый разряд остается в единичном состоянии.

Импульсом x_1 10-ый разряд, младший из старшей пары разрядов регистра 5, устанавливается в единичное состояние через элемент 2И—ИЛИ 26 в случае, если $U_x > U_0 + U_k$, или $U_0 > U_x > U_0 - U_k$. Одновременно импульс x_1 устанавливает в единичное состояние старший разряд следующей пары основного регистра 5, выключает старший разряд и включает следующий по порядку разряд дополнительного регистра 8, вес которого соответствует весу младшего из пары определяемых в следующем такте разрядов основного ПНК, т. е. 8-го разряда.

Импульсом x_4 производится поразрядное уравнивание 5 и 4-го разрядов, установка в единичное состояние 3-го разряда регистра 5 и включение 3-го разряда дополнительного регистра 8.

На последних тактах x_5 , x_6 , x_7 происходит коррекция процесса поразрядного уравнивания. В момент действия x_5 напряжение U_k соответствует четырем единицам младшего разряда. Если $U_x < U_0$ и $U_x < U_0 - U_k$, то происходит коррекция на 4 единицы в сторону уменьшения, 3-й разряд регистра 5 остается в единичном состоянии, так как элемент совпадения 21 закрыт потенциалом с элемента НЕ 28 (отличие от ПНК без коррекции на +4 единицы). Импульс x_5 проходит через элемент совпадения 18 на счетный вход вычитания в 4 разряд регистра 5 и уменьшает число в регистре на 8 единиц (отличие от ПНК без коррекции на -8 единиц, а результирующее отличие от ПНК без коррекции на -4 единицы).

Если $U_x > U_0$ и $U_x > U_0 + U_k$, то происходит коррекция на 4 единицы в сторону уве-

личения. Так как элемент 21 закрыт потенциалом с узла сравнения 1, то импульс x_5 не проходит на вход установки нуля 3-го разряда, но проходит через элемент 19 на счетный вход сложения 3-го разряда регистра 5 (отличное от 1-ИК без коррекции на +4 единицы).

Если $U_0 < U_x < U_0 + U_k$, то коррекция не происходит. Импульс x_5 не проходит через элементы 21, 19 и 18 так как имеются запрещающие потенциалы с элементов 10, 13 и 12 соответственно, 3-ий разряд регистра 5 остается в единичном состоянии.

Если $U_0 - U_k < U_x < U_0$, то коррекция не происходит. Элементы 18 и 19 закрыты потенциалом с элементов 12 и 13 соответственно. Импульс x_5 проходит через элемент совпадения 21 и устанавливает 3-ий разряд регистра 5 в нулевое состояние.

Аналогично импульс x_6 производит коррекцию на ± 2 единицы младшего разряда в случае необходимости.

Импульсом x_5 в дополнительном регистре 8 включается и остается включенным до конца измерения младший разряд, имеющий равный вес со 2-м разрядом основного регистра.

Последний импульс с распределителя импульс x_7 при $U_x < U_k$ устанавливает в нулевое состояние 1-ый разряд регистра, при $U_x > U_k$ поступает на счетный вход 1 разряда регистра 5 через элемент 24 и производит коррекцию на +1.

Следовательно, импульс x_7 изменяет число в регистре 5 на ± 1 единицу.

Таким образом, преобразование напряжения в одиннадцатиразрядный код с коррекцией динамических ошибок происходит вместо 11 тактов за 7 тактов.

Формула изобретения

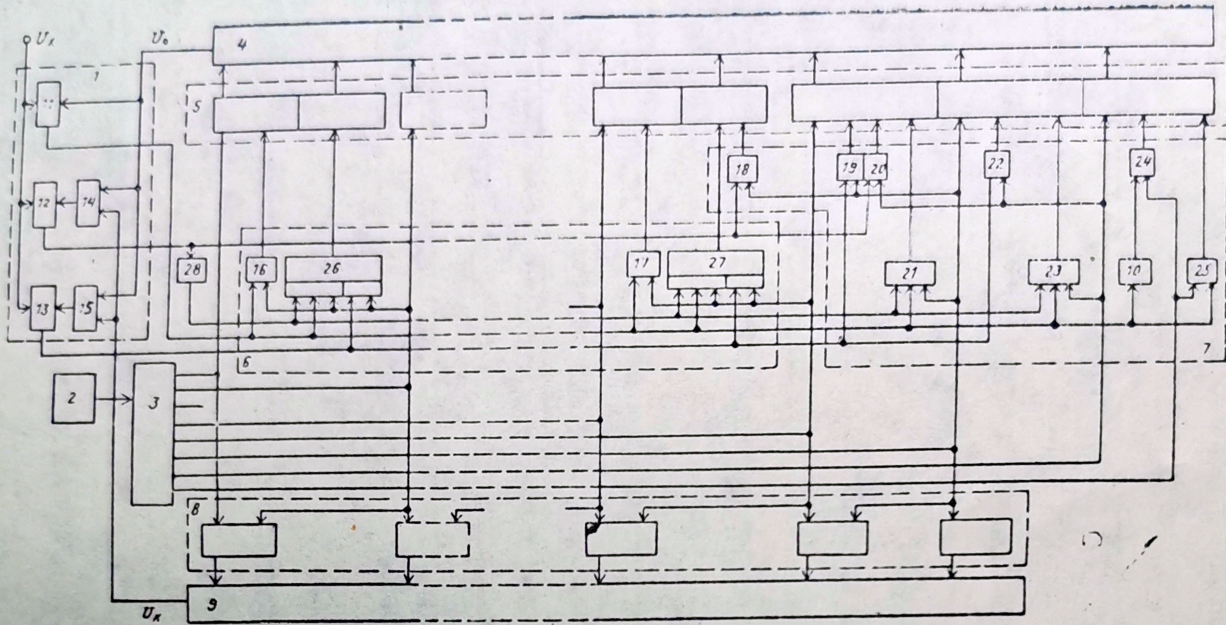
1. Аналого-цифровой преобразователь с коррекцией динамических погрешностей, содержащий основной и дополнительный преобразователь кода в напряжение с подключенными поразрядно регистрами, распределитель тактовых импульсов, вход которого соединен с выходом генератора тактовых импульсов, а его выходы соединены с входами разрядов регистров основного и дополнительного преобразователей кода в напряжения, аналоговый выход первого из которых соединен с входом первого блока сравнения и первыми входами блоков суммирования и вычитания, а аналоговый выход дополнительного преобразователя кода в напряжения соединен с вторыми входами блоков суммирования и вычитания, при этом выход последнего подключен к входу

второго блока сравнения, а выход блока суммирования — к входу третьего блока сравнения, сигнальный вход которого соединен с входной клеммой и с сигнальными входами первого и второго блоков сравнения, отличающийся тем, что, с целью повышения быстродействия, в него введены логический элемент НЕ, блок кодирования старших разрядов и логический блок коррекции, при этом входы блока кодирования старших разрядов соединены с соответствующими входами логического блока коррекции и с выходами первого и третьего блоков сравнения непосредственно и через логический элемент НЕ — с выходом второго блока сравнения и с другими входами логического блока коррекции, соответствующие выходы которого подключены к счетным входам и к входам установки нулей младших разрядов регистра основного преобразователя кода в напряжение, входы установки единиц старших разрядов которого соединены с соответствующими входами блока кодирования старших разрядов и с входами установки единиц регистра дополнительного преобразователя кода в напряжение, причем соответствующие выходы блока кодирования старших разрядов соединены с входами установки нулей $2K+1$ старшего разряда и с входами установки единиц $2K$ старшего разряда регистра, основного преобразователя кода в напряжение (где K — натуральный ряд чисел), вес второго разряда которого выбран равным весу младшего разряда регистра дополнительного преобразователя кода в напряжение.

2. Преобразователь по п. 1, отличающийся тем, что блок кодирования старших разрядов содержит логические элементы И и 2И—ИЛИ, равные числу старших разрядов регистра основного преобразователя кода в напряжение, при этом соответствующие входы логических элементов 2И—ИЛИ соединены с соответствующими входными клеммами и со вторыми входами логических элементов И, первые входы которых подключены к входным клеммам, логический блок коррекции содержит логический элемент НЕ и логические элементы И, входы которых соединены с соответствующими входными клеммами и между собой.

Источники информации,

- 55 принятые во внимание при экспертизе
1. Авторское свидетельство № 324705, кл. Н 03 К 13/17, 1970.
2. Авторское свидетельство № 439913, кл. Н 03 К 13/17, 1972.



Редактор М. Афанасьева Составитель Л. Мурашов Корректоры: А. Галахова
и Л. Брахицина

Заказ 826/8 Изд. № 280 Тираж 1059 Подписное
НПО Государственного комитета СССР по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Типография, пр. Сапунова, 2