



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 705670

04
04

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 25.04.77 (21) 2478750/18-21

с присоединением заявки № -

(23) Приоритет -

Опубликовано 25.12.79. Бюллетень № 47

Дата опубликования описания 25.12.79

(51) М. Кл.²

H 03 K 13/17

(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

А. И. Ворожейкин, Е. А. Ломтев, Ю. В. Полубабкин, Ю. П. Прозоров
и В. М. Шлядин

Синьков - Шлядин
Резиш - Руд

(71) Заявитель

Пензенский политехнический институт

(54) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ С КОРРЕКЦИЕЙ ДИНАМИЧЕСКИХ ПОГРЕШНОСТЕЙ

1

Изобретение касается измерительной и вычислительной техники и может быть использовано для преобразования быстроизменяющихся во времени сигналов в цифровой код.

Известен аналого-цифровой преобразователь, содержащий сравнивающее устройство, блок суммирования, преобразователь кода в напряжение, регистр триггеров, элементы И, тактовый генератор и распределитель тактовых импульсов [1].

Однако в известном устройстве время суммирования компенсационного напряжения и напряжения управляемого делителя входит в такт уравнивания, в результате чего увеличивается время преобразования.

Наиболее близким по технической сущности к предлагаемому устройству является преобразователь, содержащий генератор тактовых импульсов, управляющий распределителем импульсов, выход последнего присоединен к входам основного и дополнительного преобразователей кода в напряжение и входу управляемого делителя напряжения, основного и двух допол-

2

нительных сравнивающих устройств с блоками суммирования на одном из входов, двух элементов И и цифрового сумматора, причем входы блоков суммирования основного сравнивающего устройства присоединены к аналоговым выходам основного и дополнительного преобразователей кода в напряжение, цифровые выходы которых соединены с входом цифрового сумматора, а выход основного сравнивающего устройства присоединен к входам основного преобразователя кода в напряжение и к первым входам элементов И, вторые входы которых присоединены к выходам дополнительных сравнивающих устройств, а выходы элементов И присоединены ко входу дополнительного преобразователя кода в напряжение, выход управляемого делителя напряжения присоединен к первым входам блоков суммирования дополнительных сравнивающих устройств, вторые входы которых соединены с выходом блока суммирования основного сравнивающего устройства, а вторые входы дополнительных сравнивающих устройств присоединены к входной клемме преобразователя [2].

5

10

15

20

Данный преобразователь обладает относительно низким быстродействием из-за значительного влияния на время такта преобразования времени операции суммирования компенсационного напряжения с напряжением управляемого делителя.

Цель изобретения — повышение быстродействия преобразователя.

Для этого в аналого-цифровом преобразователе с коррекцией динамических погрешностей, содержащем генератор тактовых импульсов, выход которого соединен с входом распределителя импульсов, выходы которого соответственно соединены с первыми входами первого и второго преобразователей кода в напряжение и входами управляемого делителя напряжения, выход которого соединен с первыми входами первого и второго блоков суммирования, выходы которых соединены соответственно с первыми входами первого и второго блоков сравнения, выходы которых подключены к первым входам первого и второго элементов И, выходы которых соединены с соответствующими вторыми входами второго преобразователя кода в напряжение, а вторые входы первого и второго элементов И соединены с вторыми входами первого преобразователя кода в напряжение и выходом третьего блока сравнения, один вход которого подключен к шине второго сигнала, а второй вход соединен с выходом третьего блока суммирования, первый и второй входы которого соединены соответственно с аналоговыми выходами первого и второго преобразователей кода в напряжение, цифровые выходы которых подключены к соответствующим входам цифрового сумматора, выход которого соединен с шиной выходного кода, вторые входы первого и второго блоков суммирования соединены с шиной входного сигнала, а выход третьего блока суммирования соединен с вторыми входами первого и второго блоков сравнения.

На чертеже приведена структурная электрическая схема предложенного устройства.

Преобразователь содержит генератор 1 тактовых импульсов, управляющий распределителем 2 импульсов, который подсоединен к входам первого и второго преобразователей 3 и 4 кода в напряжение, блоки сравнения 5, 6 и 7 с блоками суммирования 8, 9 и 10 соответственно на одном из входов, управляемый делитель напряжения 11, два элемента И 12, 13 и цифровой сумматор 14, причем входы блока суммирования 10 присоединены соответственно к аналоговым выходам преобразователей 3, 4, цифровые выходы которых соединены с входом цифрового сумматора 14, а выход блока 7 сравнения присоединен к

вторым входам преобразователя 3 и к вторым входам элементов И 12, 13, первые входы которых присоединены соответственно к выходам блоков 6, 5 сравнения, а выходы элементов И 12, 13 присоединены ко входам преобразователя 4, выход управляемого делителя напряжения 8 присоединен к первым входам блоков 8, 9 суммирования, вторые входы которых соединены с шиной входного сигнала, а выход блока 10 суммирования подключен к вторым входам блоков 5, 6 сравнения.

Предлагаемый преобразователь осуществляет преобразование входных изменяющихся сигналов в двоичный код.

Преобразуемый сигнал подается на входы блока 7 сравнения и двух блоков суммирования 8 и 9. По сигналу запуска с генератора 1 тактовых импульсов начинают поступать импульсы на распределитель 2 тактовых импульсов, с шин которого управляющие сигналы последовательно поступают на входы преобразователей 3 и 4 кода в напряжение и управляемого делителя напряжения 11. Происходит процесс аналого-цифрового поразрядного уравнивания измеряемого напряжения компенсирующим напряжением $U_{ок}$, равным сумме выходных напряжений $U_о$ и $U_{до}$ и преобразователей 3 и 4, которое образуется на выходе блока 10 суммирования. При этом компенсирующее напряжение $U_{ок}$ поступает одновременно и на входы блоков сравнения 5 и 6, причем в блоке 6 сравнения происходит сравнение этого напряжения с суммой преобразуемого сигнала U_x и напряжения U_g вырабатываемого управляемым делителем напряжения 11 на каждом такте, равным весу данного разряда на данном такте уравнивания ($U_x + U_g$), а в блоке 5 сравнения — сравнение этого напряжения с разностью U_x и U_g ($U_x - U_g$). Сумма и разность образуются соответственно на блоках суммирования 9, 10. Если процесс уравнивания идет правильно, то всегда выполняются условия:

$$U_x + U_g > U_{ок};$$

$$U_x - U_g < U_{ок}$$

В случае, если эти условия нарушаются, то происходит коррекция $U_{ок}$, т. е. преобразователь кода в напряжение 4 вырабатывает отрицательное напряжение ($-U_{до}$) при срабатывании блока 6 сравнения и положительное напряжение ($+U_{до}$) при срабатывании блока 5 сравнения, который срабатывает при $U_x - U_g > U_{ок}$, т. е. при нарушении второго условия. Таким образом, возможна коррекция погрешности на каждом такте уравнивания. Результирующий код формируется в цифровом сумматоре 14 в конце цикла преобразования. Такт уравнивания преобразователя скла-

дывается из времени установления компенсирующего напряжения в преобразователе кода в напряжение ($T_{ПКИ}$), времени суммирования 2-х напряжений в блоке суммирования (T_{Σ_0}) и времени, отводимого на сравнение входного напряжения с компенсирующим напряжением ($T_{ср}$)

$$T_{ТАКТ} = T_{ПКИ} + T_{\Sigma_0} + T_{ср}$$

В противопоставляемом устройстве время такта уравнивания складывается из времени установления компенсирующего напряжения в преобразователе кода в напряжение ($T_{ПКИ}$), времени суммирования 2-х напряжений в схеме суммирования основного сравнивающего устройства (T_{Σ_0}), времени суммирования 2-х напряжений $U_{ок}$ и $U_{ср}$ в схеме суммирования дополнительных сравнивающих устройств ($T_{\Sigma_ср}$) и времени, отводимого на сравнение входного напряжения с суммой ($U_{ок} + U_{ср}$) ($T_{ср}$).

$$T_{ТАКТ_{пр}} = T_{ПКИ} + T_{\Sigma_0} + T_{\Sigma_ср} + T_{ср}$$

Таким образом, вследствие распараллеливания операций суммирования напряжений предлагаемое устройство обладает большим быстродействием по сравнению с прототипом.

Формула изобретения

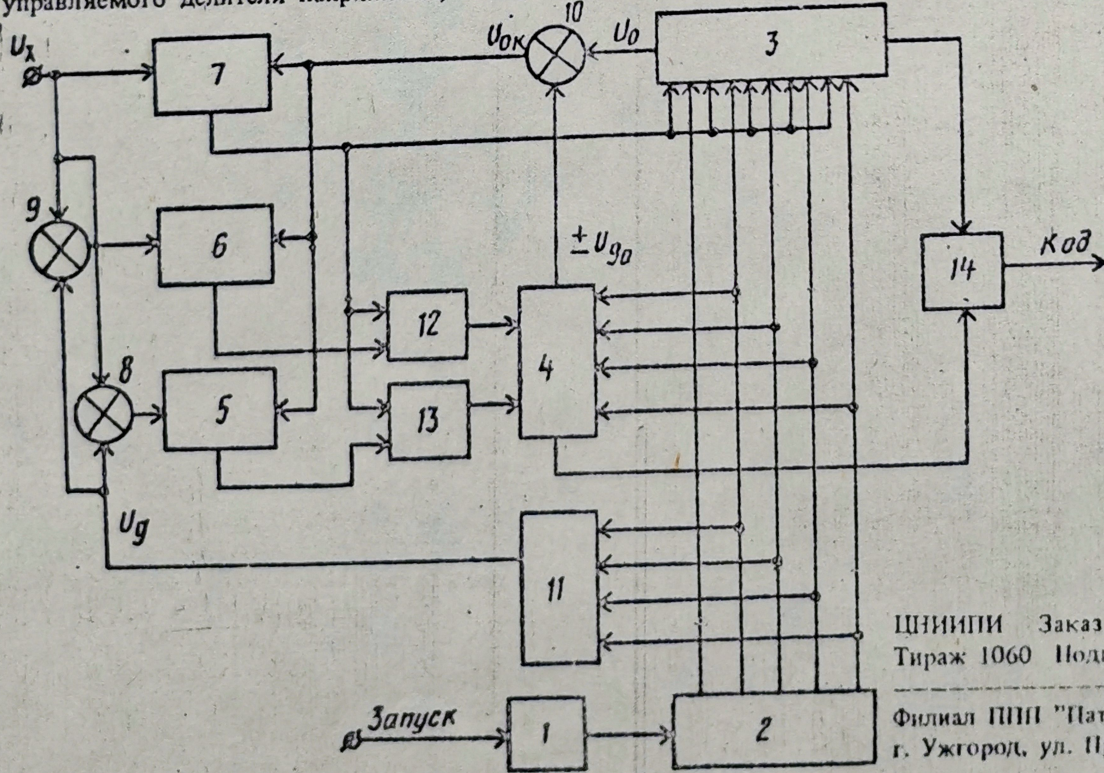
Аналого-цифровой преобразователь с коррекцией динамических погрешностей, содержащий генератор тактовых импульсов, выход которого соединен с входом распределителя импульсов, выходы которого соответственно соединены с первыми входами первого и второго преобразователей кода в напряжение и входами управляемого делителя напряжения, выход ко-

торого соединен с первыми входами первого и второго блоков суммирования, выходы которых соединены соответственно с первыми входами первого и второго блоков сравнения, выходы которых подключены к первым входам первого и второго элементов И, выходы которых соединены с соответствующими вторыми входами второго преобразователя кода в напряжение, а вторые входы первого и второго элементов И соединены с вторыми входами первого преобразователя кода в напряжение и выходом третьего блока сравнения, один вход которого подключен к шине входного сигнала, а второй вход соединен с выходом третьего блока суммирования, первый и второй входы которого соединены соответственно с аналоговыми выходами первого и второго преобразователей кода в напряжение, цифровые выходы которых подключены к соответствующим входам цифрового сумматора, выход которого соединен с шиной выходного кода, о т л и ч а ю щ и й с я тем, что, с целью повышения быстродействия вторые входы первого и второго блоков суммирования соединены с шиной входного сигнала, а выход третьего блока суммирования соединен с вторыми входами первого и второго блоков сравнения.

Источники информации,

принятые во внимание при экспертизе

1. Авторское свидетельство СССР №324705, кл. Н 03 К 13/17, 25.11.72.
2. Авторское свидетельство СССР №439913, кл. Н 03 К 13/17, 21.03.75 (прототип).



ЦНИИПИ Заказ 8054/63
Тираж 1060 Подписное

Филиал ПНИ "Патент",
г. Ужгород, ул. Проектная, 4