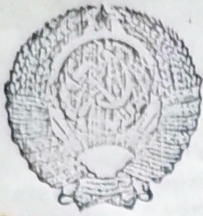


Шильнов-

Союз Советских
Социалистических
Республик

О П И С А Н И Е ИЗОБРЕТЕНИЯ

(11) 886236



К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву № 809554

(22) Заявлено 10.01.80 (21) 2866464/18-21

(51) М. Кл.³

с присоединением заявки № -

И 03 К 13/17

(23) Приоритет -

Опубликовано 30.11.81. Бюллетень № 44

(53) УДК 681.325
(088.8)

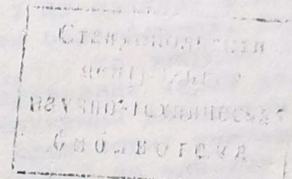
Дата опубликования описания 30.11.81

Государственный комитет
СССР
по делам изобретений
и открытий

(72) Автор:
изобретения

М.Н. Селуянов

(71) Заявитель



(54) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ С САМОКОНТРОЛЕМ

1

2

Изобретение относится к вычислительной технике и может быть использовано в информационно-измерительных системах, устройствах автоматизированного контроля и управления.

По основному авт. св. № 809554 известен аналого-цифровой преобразователь с самоконтролем, содержащий два блока сравнения, первые входы которых соединены с шиной измеряемого напряжения, вторые входы - соответственно с выходами двух m -разрядных резистивных матриц $R-2R$ с подключенными к ним двухпозиционными ключами, управляющие входы которых соединены с выходами регистра, имеющего элементы переноса, сложения и вычитания единицы, $(m+1)$ -ый резистор $2R$ первой резистивной матрицы $R-2R$ подключен к выходу первого ключа, управляющий вход которого соединен с единичным выходом триггера, $(m+1)$ -ый резистор $2R$ второй резистивной матрицы $R-2R$ подключен к выходам второго и третьего ключей, сигнальные входы которых соответственно соединены с источниками положительной и отрицательной полярности, управляющие входы - соответственно с единичным и нулевым выходами

5

10

15

20

25

30

триггера знака, выход первого блока сравнения соединен с первым входом элемента ИЛИ и через дешифратор - с выходами установки "0" триггеров регистра, генератор импульсов, подключенный через распределитель тактов ко входу регистра, нулевому входу триггера и входам триггера знака, выходы которого соединены с управляющими входами четвертого и пятого ключей, через которые источники эталонного напряжения положительной и отрицательной полярности подключены к аналоговым входам двухпозиционных ключей и входу первого ключа, выход второго блока сравнения соединен со вторым входом элемента ИЛИ, выход которого соединен с первым входом первого элемента И, выход которого подключен ко входу логического блока [1].

В известном устройстве отсутствует коррекция динамических погрешностей, что приводит к потере достоверности контроля и малому быстродействию.

Цель изобретения - уменьшение динамических погрешностей, повышение достоверности контроля и быстродействия.

Цель достигается тем, что в аналого-цифровой преобразователь с самоконтролем введена дополнительная элемент И, ИЛИ и элемент задержки, вход которого соединен с выходом основного элемента задержки, первым входом дополнительного элемента ИЛИ и первыми входами дополнительных элементов И, вторые входы которых подключены соответственно к выходам первого и второго блоков сравнения, а выходы соединены соответственно со входами сложения и вычитания единицы регистра, выход дополнительного элемента ИЛИ соединен со вторым входом элемента И, а выход логического блока подключен к шине считывания кода регистра.

На чертеже изображена блок-схема предлагаемого устройства.

Устройство содержит блоки 1 и 2 сравнения, m -разрядную резистивную матрицу $R-2R$ 3 и 4, генератор 5 импульсов, распределитель 6 тактов, регистр 7, триггер 8, двухпозиционные переключатели 9 и 10, ключи 11, 15, триггер 16 знака, дешифратор 17, элементы ИЛИ 18 и 19, элементы И 20, 22, элементы 23 и 24 задержки, логический блок 25, источник 26 эталонного напряжения положительной полярности, источник 27 эталонного напряжения отрицательной полярности.

Предлагаемое устройство работает следующим образом,

Весь цикл преобразования происходит за n тактов (где n минус 1 - число рабочих тактов, а n - контрольный такт).

Работа АЦП без самоконтроля происходит следующим образом. По сигналу "установка 0", распределитель 6 тактов устанавливает блоки 7 и 8 в исходное состояние. При этом двухпозиционные переключатели 9 и 10 подключены к корпусной шине, и напряжение на втором входе блока 1 сравнения равно нулю. При поступлении на первый вход блока 1 сравнения знакопеременного напряжения производится выбор знака и триггер знака 16 устанавливается, например, в нулевое состояние. В этом случае напряжение от источника 26 через ключ 14 поступает на переключатели 9 и 10. Распределитель 6 тактов переводит триггер старшего разряда регистра 7 в единичное состояние, и на втором входе блока 1 сравнения появляется напряжение $0,5U_{эт}$. Если измеряемое напряжение больше компенсирующего напряжения, то на выходе дешифратора 17 импульс не появляется, и триггер старшего разряда остается в единичном состоянии. Если измеряемое напряжение меньше компенсирующего напряжения, то на выходе дешифратора 17 появляется импульс, который возвращает триггер старшего разряда

в нулевое состояние. В результате за $n-1$ тактов производится определение всех разрядов АЦП.

При самоконтроле на n -ом такте триггер 8 устанавливается в единичное состояние, происходит срабатывание ключа 9 и источник 26 оказывается подключенным к $(m+1)$ -му резистору $2R$ матрицы 4 (при преобразовании напряжений положительной полярности). При этом на выходе матрицы 4 формируется напряжение $U_{эт} + U_{мпр}$. Это напряжение поступает на вход блока 15, $(m+1)$ -ый резистор $2R$ матрицы 3 через ключ 13 оказывается подключенным к источнику 27. При этом на выходе матрицы 3 формируется напряжение $U_{эт} - U_{мпр}$. Производится проверка соотношений между изменяемыми $U_{изм}$ и компенсирующими напряжениями $U_{к} = U_{эт} \pm U_{мпр}$. Если оказывается, что

$|U_{изм}| > |U_{эт} + U_{мпр}|$, то импульс с выхода блока 1 сравнения через элемент И 21, опрашиваемого элементом задержки 23, производит увеличение кода в регистре 7 на единицу в младшем разряде. Если оказывается, что

$|U_{изм}| < |U_{эт} - U_{мпр}|$, то импульс с выхода блока 2 сравнения через элемент И 20, опрашиваемый элементом задержки 23, производит уменьшение кода в регистре 7 на единицу в младшем разряде. Производится анализ

возможности считывания кода из регистра 7. Если на выходе элемента ИЛИ 18 имеется импульс, то в момент времени, определяемый задержкой элемента 24 задержки, на выходе элемента И 22 появляется импульс, который, заступив в логический блок 25, формирует сигнал запрета на считывание кода из регистра 7.

При $|U_{эт} + U_{мпр}| > |U_{изм}| > |U_{эт} - U_{мпр}|$ элементы И 20 и 21 оказываются закрытыми и изменение кода в регистре не производится. В этом случае на выходе элемента ИЛИ 18 не появляется импульс в момент времени, определяемый задержкой элемента 23 задержки, логический блок 25 формирует сигнал разрешения на считывание кода из регистра 7.

В случаях, когда осуществляется коррекция динамических погрешностей, то после ее проведения производится дополнительный контроль работы АЦП с целью повышения достоверности выдаваемой информации с регистра 7 в устройства сопряжения. Если

$|U_{изм}| > |U_{эт} + U_{мпр}|$ или $|U_{изм}| < |U_{эт} - U_{мпр}|$, то элемент И 22 в момент времени, определяемый задержкой элемента 24 задержки, выдает сигнал в логический блок 25, который формирует сигнал запрета на считывание кода из регистра 7. Если после проведения

коррекции $|U_{эт} + U_{мпр}| > |U_{изм}| > |U_{эт} - U_{мпр}|$, то элемент И 22 в момент времени, определяемый задержкой элемента

24 задержки, выдает сигнал в логический блок 25, который формирует сигнал разрешения на считывание кода из регистра 7.

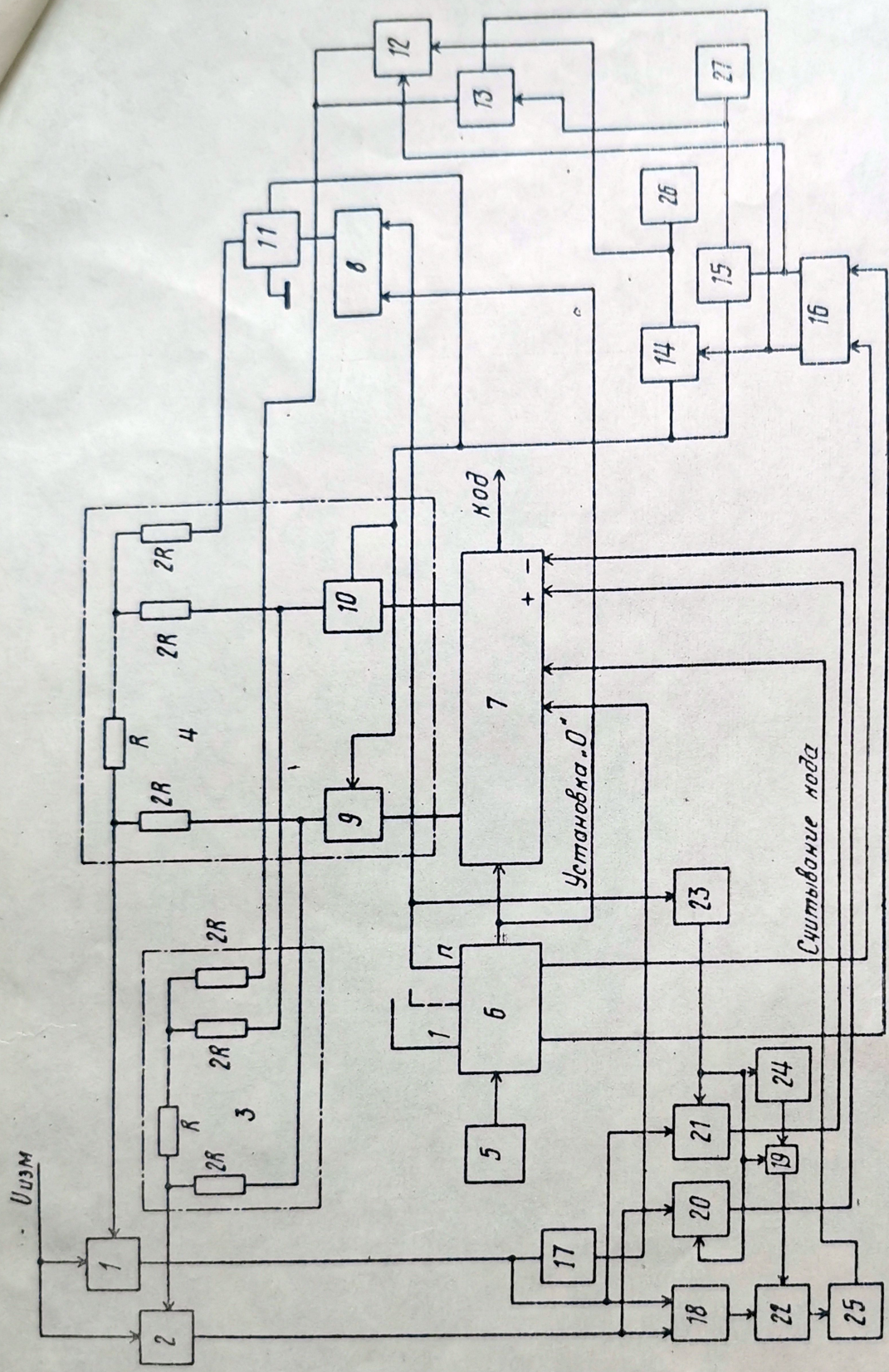
При установке триггера знака 16 в единичное состояние (при контроле напряжений отрицательной полярности) самоконтроль АЦП производится аналогично вышеописанному.

Формула изобретения

Аналого-цифровой преобразователь с самоконтролем по авт. св. № 809554, 15 отличающийся тем, что, с целью уменьшения динамических погрешностей, повышения достоверности контроля и быстродействия, в него введены

дополнительные элементы И, ИЛИ и элемент задержки, вход которого соединен с выходом основного элемента задержки, первым входом дополнительно элемента ИЛИ и первыми входами дополнительных элементов И, вторые входы которых подключены соответственно к выходам первого и второго блоков сравнения, а выходы соединены, соответственно, со входами сложения и вычитания единицы регистра, выход дополнительного элемента ИЛИ соединен со вторым входом элемента И, а выход логического блока подключен к шине считывания кода регистра.

Источники информации, принятые во внимание при экспертизе
1. Авторское свидетельство СССР № 809554, кл. Н 03 К 13/17, 1979 (прототип).



Редактор Л. Пчелинская Составитель В. Махнанов Техред А. Бабинец Корректор В. Бутяга

Заказ 10559/77 Тираж 991 Подписное
 ВНИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ЦПП 'Патент', г. Ужгород, ул. Проектная, 4