

Союз Советских
Социалистических
Республик



Государственный комитет
Совета Министров СССР
по делам изобретений
и открытий

О П И С А Н И Е
ИЗОБРЕТЕНИЯ
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

407423

Заявленное от звт. свидетельства № —

Заявлено 23.II.1972 (№ 1750718/26-9)

М. Кл. Н 03к 13.18

с присоединением заявки № —

Приоритет —

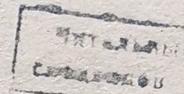
Опубликовано 21.XI.1973. Бюллетень № 46

УДК 681.325(088.8)

Дата опубликования описания 27.III.1974

Автор
изобретения

В. Н. Вьюхин



Заявитель Институт автоматики и электрометрии Сибирское отделение АН СССР

ПАРАЛЛЕЛЬНО-ПОСЛЕДОВАТЕЛЬНЫЙ АНАЛОГО-ЦИФРОВОЙ
ПРЕОБРАЗОВАТЕЛЬ

1

Изобретение относится к области электроизмерительной техники.

Известен параллельно-последовательный аналого-цифровой преобразователь, содержащий компараторы, выходы которых подключены к шифратору, делитель напряжения, включенный между одними входами компараторов и выходом цифро-аналогового преобразователя, управляемого регистром, распределитель тиков и схемы «И».

Недостатком известного устройства является невысокое быстродействие и сложность в исполнении.

Предлагаемое устройство отличается от известного тем, что в него введен дополнительный цифро-аналоговый преобразователь с регистром, схемы «НЕ» и дополнительные схемы «И», причем первые входы последних соединены с выходами схем «НЕ», входы которых подключены к выходам шифратора, а выходы дополнительных схем «И» соединены с нулевыми входами регистра дополнительного цифро-аналогового преобразователя, единичные входы регистра — с выходами распределителя тиков, что значительно повышает быстродействие и упрощает устройство.

На чертеже дано предлагаемое устройство. Устройство содержит компараторы I (п-число одновременно определяемых двоичных разрядов), первые входы которых соединены с

2

входным сигналом, вторые входы соединены с выходами основного и дополнительного цифро-аналогового преобразователей 2 и 3 и с выходами делителя напряжения 4, а выходы — со входами шифратора состояний компараторов 5. Выходы последнего соединены с входами m схем «И» 6 и n схем «НЕ» 7 (m — число тиков аналогово-цифрового преобразователя). Вторые входы схем «И» 6 объединены группами по n и соединены с соответствующими выходами распределителя тиков 8, а выходы схем «И» 6 соединены с единичными установочными входами регистра 9 основного цифро-аналогового преобразователя (ЦАП), нулевые установочные входы которого соединены с первым выходом распределителя тиков 8, а выходы соединены с входами основного ЦАП2.

Выходы схем «НЕ» 7 соединены с входами схем «И» 10, вторые входы которых объединены группами по n и соединены с соответствующими выходами распределителя тиков 8. Выходы схем «И» 10 соединены с нулевыми установочными входами регистра 11 вспомогательного ЦАП, единичные установочные входы которого соединены с первым выходом распределителя тиков 8, а выходы соединены с входами вспомогательного ЦАП3. Нулевые установочные входы регистра 9 основного ЦАП и единичные установочные входы регистра 11

вспомогательного ЦАП могут быть также соединены с последним выходом распределителя тактов 8.

Устройство работает следующим образом.

Первый импульс распределителя тактов 8 устанавливает разряды регистра 9 основного ЦАП в нулевое состояние, а разряды регистра 11 вспомогательного ЦАП в единичное состояние (или они были установлены в это состояние последним импульсом распределителя тактов 8 в предыдущем цикле измерения). Поскольку вспомогательный ЦАП3 имеет один некоммутируемый разряд, вес которого равен весу младшего разряда, а выходное сопротивление ЦАП2 и ЦАП3 равно 4, то после первого такта напряжение на выходе вспомогательного ЦАП3 составляет

$$\frac{2^n - 1}{2^n} \cdot U_{\max},$$

на выходе основного ЦАП2 $\frac{1}{2^n} \cdot U_{\max}$, а

на выходах делителя напряжения $4 - \frac{P}{2^n}$.

$U_{\max}, P=2, 3, \dots 2^n-2$ ($U_{\max}=2^k \cdot \Delta U$, k — число разрядов ЦАП, ΔU — квант по уровню). Таким образом, диапазон измерения U_{\max} разбит на 2^n -зон. Компараторы 1 определяют, в какой из 2^n -зон находится входной сигнал. Шифратор 5 преобразует состояние компараторов в n -разрядный двоичный код. Следующий импульс распределителя тактов 8 заносит с помощью схем «И» 6, 10 полученный код в старшие разряды регистров 9 и 11 таким образом, что содержание этих разрядов в обоих регистрах становится одинаковым. Поскольку в исход-

ном состоянии разряды регистра 11 устанавливаются в единичное состояние, то для занесения кода в этот регистр используются инвертированные с помощью схем «НЕ» 7 сигналы шифратора 5. После второго такта на компараторы подаются напряжения с шагом $1/2^{n-1} \cdot U_{\max}$, а перед последним тактом — с шагом $1/2^{n-1} \cdot U_{\max}$.

Последний импульс такта заносит код с выхода шифратора 5 в n дополнительных разрядов регистра 9 основного ЦАП, которые не связаны с ЦАП2. Код преобразуемого сигнала может быть снят с регистра 9 основного ЦАП по окончании последнего такта измерения.

Предмет изобретения

Параллельно-последовательный аналогоцифровой преобразователь, содержащий компараторы, выходы которых подключены к шифратору, делитель напряжения, включенный между одними входами компараторов и выходом цифро-аналогового преобразователя, управляемого регистром, распределитель тактов и схемы «И», отличающийся тем, что, с целью повышения быстродействия и упрощения устройства, в него введен дополнительный цифро-аналоговый преобразователь с регистром, схемы «НЕ» и дополнительные схемы «И», причем первые входы последних соединены с выходами схем «НЕ», выходы которых подключены к выходам шифратора, а выходы дополнительных схем «И» соединены с нулевыми входами регистра дополнительного цифро-аналогового преобразователя, единичные входы регистра — с выходами распределителя тактов.

