

基于 AFE79xx 的 JESD204C 应用简述

Chi Zhang

摘要

JESD204 接口标准是数据转换器和逻辑设备之间高速串行链路的标准，目的是开发通用的方法以串行的方式传输数据，并减少混合信号设备与处理元件之间的互连数量。该标准经历了多次迭代更新，分为 JESD204、JESD204A、JESD204B 和 JESD204C。其中于 2010 年公布的 JESD204B 版本是目前市场上最认可和通用的版本之一。但是，鉴于对更快数据转换器的要求，JESD204B 版本在某方面逐渐失去优势。于 2017 年末 JESD204C 发布，相比 204B，204C 在应用中以支持更高性能、更大带宽为主要优势。本文从理论和应用层面阐述 JESD204C 与 204B 的不同之处，并以 TI 典型的超带宽、多频段射频采样通信收发器件 AFE79xx 系列的实际应用问题为例进一步说明。

目录

1	引言	2
2	JESD204C架构	2
	2.1 JESD204C结构简述.....	2
	2.1.1 与JESD204B的主要区别.....	3
3	JESD204C与JESD204B在逻辑层级中的区别简述	4
	3.1 物理层.....	4
	3.1.1 物理层基本区别.....	4
	3.1.2 物理层中的均衡器技术.....	5
	3.1.2.1 TX 均衡技术.....	6
	3.1.2.2 RX均衡技术.....	7
	3.2 链接层.....	7
	3.2.1 204C 引入的重要参数.....	7
	3.2.2 链接对齐方式.....	8
	3.2.3 8/10B, 64/66B和64/80B编码方式.....	9
	3.2.3.1 8/10B编码.....	9
	3.2.3.2 64/66B编码.....	9
	3.2.3.3 64/80B编码.....	10
	3.3 传输层.....	11
4	建链过程中的基本排查方法	11
	4.1 外部时钟信号检查.....	11
	4.2 JESD RX的具体排查思路.....	11
	4.2.1 SERDES 眼图检查.....	12
	4.2.2 SERDES lane极性检查.....	13
	4.2.3 JESD RX告警查询.....	13
5	204C 实现确定性延迟—RBD 的设置	14
	5.1 系统寻找合适RBD的方法.....	14

5.2 判断当前RBD取值是否合适的方法.....	15
6 建链过程中 API调用	15
7 参考文献.....	16

图	
Figure 1. JESD204C架构简图	3
Figure 2. 均衡器工作原理	5
Figure 3. Pre,Main和post-cursor实现框图	6
Figure 4. Pre-cursor处理	6
Figure 5. Post-cursor处理	7
Figure 6. LMFS应用简述	8
Figure 7. E取值原因简述框图.....	9
Figure 8. 64/80B实现方式.....	10

1 引言

在 5G 通信网络蓬勃发展的今天，5G 对应的基础设施需要具有更大带宽，以便在更短的时间内处理更多信息，达到更快的处理速度。JESD 协议由此在 JESD204B 的基础上，于 2017 年推出了新的 JESD204C 作为数据转换器和逻辑设备之间高速串行链路的标准，规定了收发双方的同步机制，告警机制及其告警后处理机制。JESD204C 与 204B 的主要区别在于增加通道速率以支持更高带宽的应用需求，提高有效载荷输送效率，以及提供链路改进的鲁棒性。

JESD204C 在传输层与 204B 无差异；在链路层主要增添了 64/66b 和 64/80b 编码方式；在物理层主要改动是接口速率和电气标准。基于射频采样架构的 AFE79xx 系列，既支持 204B 又支持 204C 协议，我们可以根据实际 SERDES 的应用速率，选择所需的对应版本。本文针对 JESD204C，将会从传输层、链接层和物理层分别阐述与 JESD204B 的不同之处，并在整个 AAU 系统中，结合 TI 典型的超带宽、多频段射频采样架构的通信收发器件 AFE79xx 应用，对常见问题进行分析。

2 JESD204C 架构

2.1 JESD204C 结构简述

任何一种复杂的接口协议都将遵从逻辑架构分层来进行描述，与 JESD204B 相同，204C 也分为传输层、链接层和物理层，如下图所示的逻辑分层。首先需要明确，芯片的 RX 端 ADC 向 ASIC 传输，此链路中 ADC 侧就是 JESD 的 TX，同理芯片的 TX 端对应 JESD 的 RX。在 JESD204C 的 RX 端中，采样数据首先经过传输层，解扰后进入链接层，最后经过物理层发送数据。同样对于 JESD204C 的 TX 端，数据首先经过了传输层，加扰后进入链接层，最后通过 JESD 的 TX 物理层发送。通过这种方法，JESD204C 完成了数据转换器和逻辑设备的连接。

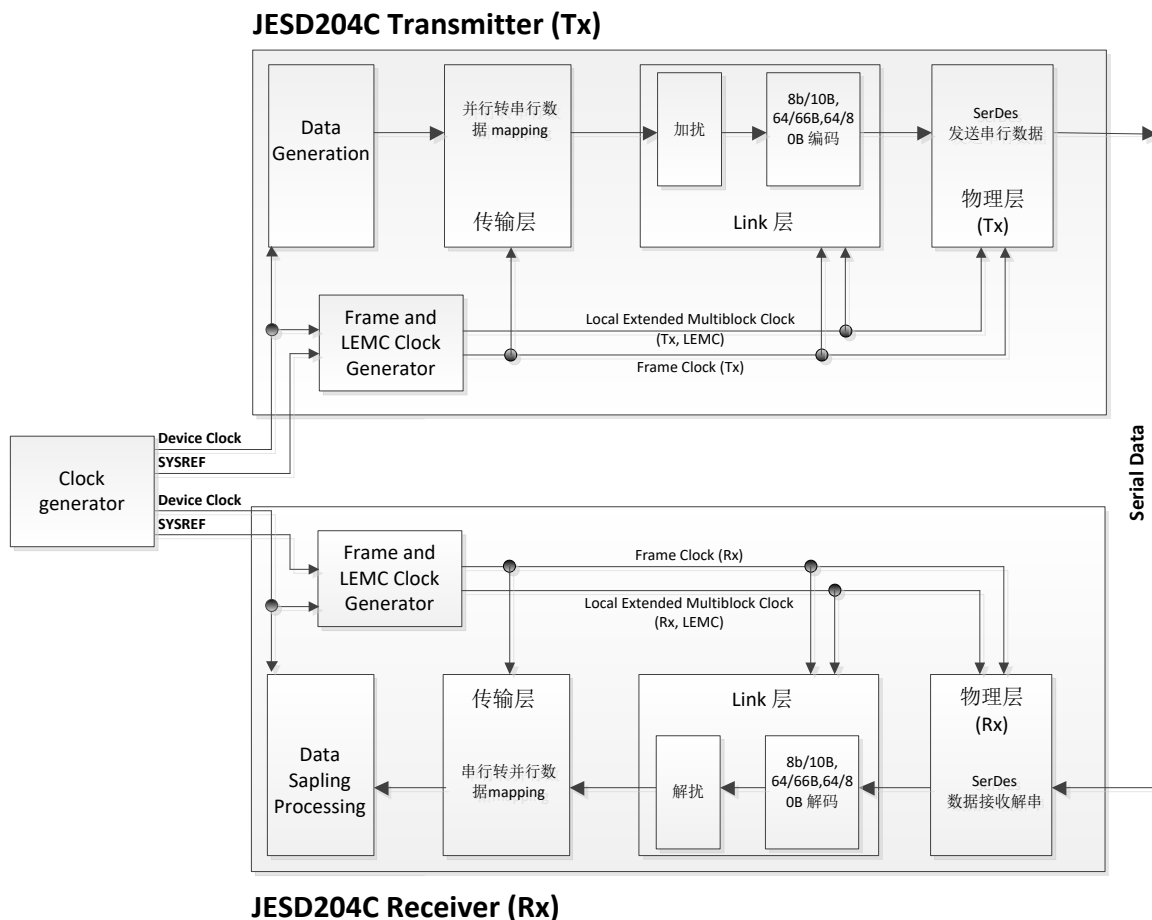


Figure 1. JESD204C 架构简图

2.1.1 与 JESD204B 的主要区别

JESD204C 是由 204B 演进而来，因此与 204B 既有相同之处，也有一些不同之处。下表总结并列出了他们的具体区别。

Table 1. JESD204C 与 204B 的主要区别

主要参数	JESD204B	JESD204C
接口速率	最大可达 12.5 Gbps	最大可达 32 Gbps
支持确定时延	可以支持	可以支持
Transceiver classes	不可以支持	可以支持
传输层编码方式	8B/10B	8B/10B, 64B/66B, 64B/80B
相位同步方式	Local multi-frame clock	LMFC, Local extended multiblock clock
相位同步时的时钟选择	SYSREF (subclass 1); SYNC (subclass 2)	SYSREF (subclass 1: 8B/10B, 64B/66B, 64B, 80B); SYNC (subclass 2: 8B/10B)
Lane 数据同步方式	同步接口 (SYNC)	同步头 (SYNC headers)

	interface)	
在多帧中 K 可取的最大值	32	256
可编程的 ILAS 长度	可以支持	不支持 (固定在 4)
204 协议向下兼容能力	204A 和 B	204A (有限制), B, 和 C
Subclass sync support	Classes 1 和 2 (8B/10B)	Classes 1 和 2 (8B/10B); 或仅 Class 1 (64B/66B, 64B/80B)

3 JESD204C 与 JESD204B 在逻辑层级中的区别简述

3.1 物理层

在 JESD204 协议中, 物理层是负责发送或是接收数据转换模块传输的数据的模块, 因此了解并确定其可支持的最大接口速率, 对选择 204B 还是 204C, 以及如何选择 AFE79xx 和 AFE80xx 系列链接层的对应参数, 都有很大影响。

3.1.1 物理层基本区别

在 JESD204C 中, 物理层包含了完成高速并/串转换的 SERDES 模块, 时钟及时钟数据恢复模块 (Clock and Data Recovery)。与 JESD204B 相比, JESD204C 在物理层上主要有两个不同点, 接口速率和电气标准。

接口速率的具体区别如下表所示, 204B 的最低速率为 312.5Mbps, 细分为 B-3、B-6 和 B-12 三种标准, 其中 B-12 支持的最高接口速率为 12.5Gbps。204C 的支持速率范围为 6.375Gbps 至 32Gbps, 同时 204C 根据传送通道的特性而定义了三种分类 C-S、C-M 和 C-R, 对应通道的介质特性分别是短距离(short reach), 中距离(medium reach)和高反射率(reflective)。204C 通过进一步细分接收器体系结构和规范, 以对应优化三种通道类型的链路功耗。

Table 12 — Device classification

Device class category	Device class	Supported data interface
B	B-3	The 3.125 Gbps (max) data interface
	B-6	The 6.375 Gbps (max) data interface
	B-12	The 12.5 Gbps (max) data interface
C	C-S	The C-S (short) class 32 Gbps (max) data interface
	C-M	The C-M (medium) class 32 Gbps (max) data interface
	C-R	The C-R (reflective) class 32 Gbps (max) data interface

JESD204C 在优化链路功耗的具体变更如下:

1. FFE 的特定发送器要求和 CTLE 或 DFE 的特定接收器要求。

204C 标准关于发送器和接收器体系结构以及实施的最低要求, 规定地非常具体, 基于接收器体系结构和规范来优化对应三种通道介质类型的链路功耗。而其对应的通道介质特性分别是 C-S 短距离, C-M 中距离和 C-R 高反射率三种。

2. 长度和插入损耗曲线将根据 204C 对应的通道类别而变化。

一般来说，插入损耗将受到通道长度，介电材料，连接器数量和电路板拓扑的影响。针对 204C，下表提供以参考通道模型作为初始通道设计规范的例子。从插入损耗的角度来看，该模型标准规定为最坏情况，并提供以米为单位的通道长度分类，以 dB 为单位的插入损耗与以 Gbps 为单位的数据接口速率作为参考标准，具体可以参考下表。

Table 21 — Category C device features

Class	Relative power	Transmitter FFE	Receiver CTLE	Receiver DFE taps	Comparable channel
C-S	Low	3 taps 9.5 dB	6 dB	0	OIF-CEI 03.1 28G-SR
C-M	Medium		9 dB	3	OIF-CEI 03.1 28G-MR
C-R	High		12 dB	14	OIF-CEI 03.1 25G-LR

3. 提供详细的串扰规范标准。

Class C 类还包括近端串扰功率 (PSNEXT) 和远端串扰功率 (PSFEXT) 的串扰规范。C-S, C-M 和 C-R, 具体对应公式可以参照 JESD204C 协议。

4. JCOM (整体链接质量) 规范取代了眼图标准的要求。

针对电气标准方面，以前的 JESD204A 以及 204B 仅指定了发射器输出和接收器输入处必需的眼图模板。对发射机架构 (预加重, 去加重或 FIR) 和接收机架构 (CTLE 或 DFE) 没有特殊要求，仅参考 OIF-CEI 规范列出了眼图要求。JESD204C 不同的是，指定了 TX 和 RX 通道操作余量 (JCOM)，以允许用户预算整个链路的总体。

综上，对于物理层，JESD204C 更为细化各个判别标准，并给出了相对应的具体数据参照，相比 204B 更为具体。

3.1.2 物理层中的均衡器技术

在物理层中，JESD204C 的均衡技术，使信号中的所有频率分量的幅度相等，以保证良好的高速信号完整性。

本质上，所有均衡器为高频信号提供的增益要大于低频信号，以补偿互连损耗特性。因为互连具有低通滤波器特性，而均衡器具有高通滤波器特性。因此互连+均衡器可以消除损耗随频率的变化，使损耗在整个频率上相等，因此称为“均衡器”。

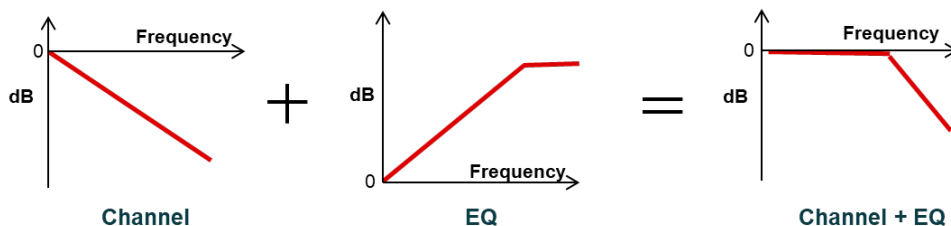


Figure 2. 均衡器工作原理

TX 均衡技术：预加重，去加重，FIR 滤波器

RX 均衡技术：CTLE, DFE

3.1.2.1 TX 均衡技术

TX 均衡有两种方法，分别是预加重和去加重。均衡技术的应用目的，都是降低符号间干扰 (ISI)。

预加重是为了预先抵消由于通道间不同布局走线所引起的 ISI，通过使预失真波形信号转换的幅度更高，以增强高频信号，从而抵消互连产生更多损耗，通常用于低输出摆幅 VOD (约 400mVpp) 的 LVDS 驱动器。

去加重是通过衰减低频信号，因此使低频和高速信号都以近似相等的幅度到达下一级输入端。通常用在具有更高输出摆幅 VOD (大约 1000mVpp) 的 CML 驱动程序中。

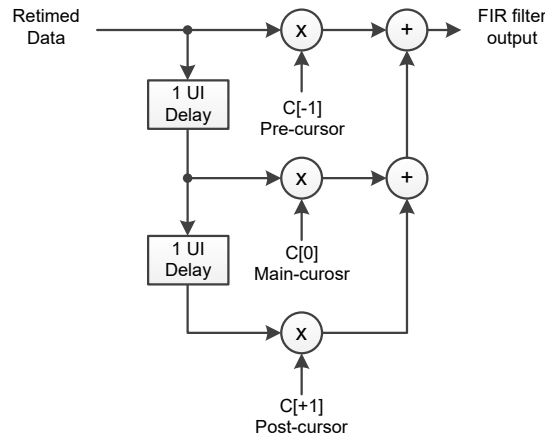


Figure 3. Pre,Main 和 post-cursor 实现框图

有限冲激响应 (FIR) 滤波器，则是具体实现预加重和去加重的方法。最常见的实现：3 tap FIR, pre-cursor (预加重)、main-cursor 和 post-cursor (去加重)。其中 Main-cursor 设置的是摆幅的水平，需要注意的是， $|pre-cursor|+|main-cursor|+|post-cursor|\leq 31$ 。

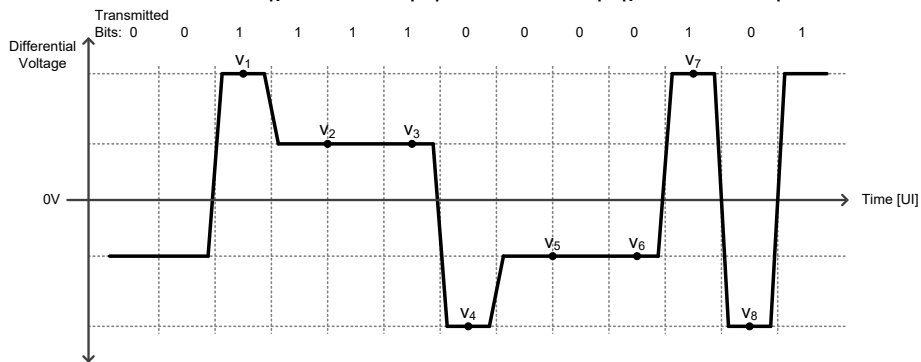


Figure 4. Pre-cursor 处理

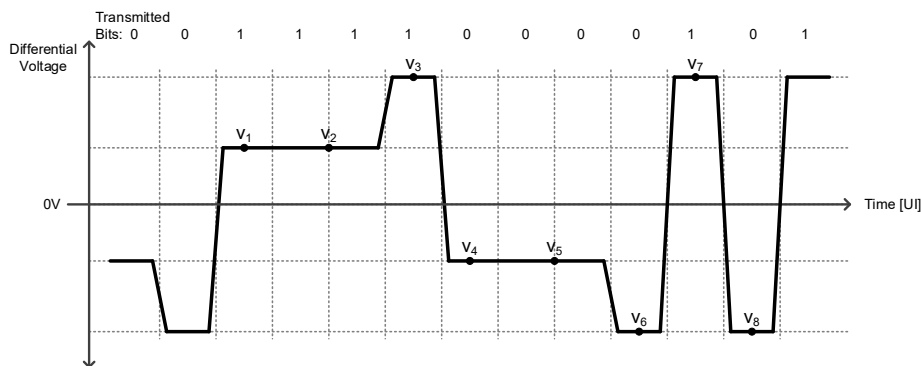


Figure 5. Post-cursor 处理

3.1.2.2 RX 均衡技术

CTLE (Continuous-Time Linear Equalizer)：连续时间线性均衡器（又称“EQ”），使眼图中眼高和眼距等重要参数符合标准，是 CDR 应用中的重要技术，也是线性均衡技术。既可设置为动态自适应模式，也可以设置为固定值模式。

DFE (Decision Feedback Equalizer)：决策反馈均衡器，是一种非线性均衡技术。可用于减少串扰和反射的影响，或用于补充输出端 post-cursor 的补偿。缺点是传播会有错误、电路复杂，以及功耗，面积和成本等问题。

$$b_m(k+1) = b_m(k) + \Delta e_k \hat{x}_{k-m}, m = 1, \dots, M$$

上式为 DFE 适应系数公式，其中 b 是 EQ 系数， M 是 DFE 长度， x 是决策， Δ 是步长， e 是误差项。DFE 是一个动态适应均衡技术，会实时根据输入动态更新调整。

CTLE 是主要的 EQ 技术，在奈奎斯特频率下对信号起到很强的提升处理作用。DFE 技术，是在 CTLE 基础上，根据适应模式设置对信号提供额外的增强。

3.2 链接层

3.2.1 204C 引入的重要参数

在链接层中，204C 引入了很多新的参数定义，如下表所示，其中引入的 2 位同步头 (Sync Header) 是用于替代 204B 中链接建立时所需的握手代码，其包括了 pilot signal、CRC-3 signal、CRC-12 signal、FEC signal 和 Command channel。而在 204B 中对应重要位置的 SYNC，在 204C 中通过软件寄存器或其他形式的 GPIO 传递，不再单独检测 SYNC 信号。

参数	定义	参数	定义
Block	块，以 2-bit 同步头开始，包含 66 位或是 80 位数据。	FEC	Forward error correction 前向错误纠正

BkW	块宽，一个块包含的 bit 数	Fill Bit	填充位，用以实现 64/80B 编码。
E	一个扩展多块包含的多块数量	LEMC	Local extended multiblock clock 本地扩展多块时钟
EMB_LOCK	检测是否已实现扩展多块对齐的状态	Multiblock	多块，由 32 个块组成
EoEMB	扩展多块的结束位	CRC	Cyclic redundancy check，可用于检测传输期间的潜在 bit 错误
EoMB	多块的结束位 (00001)，通常在 204B 中称为 pilot signal	SH_LOCK	检测是否已达到同步头对齐的状态
Extended Multiblock	扩展多块，由若干个多块组成	Sync Header	2 位同步头，保证了每个块之前的过渡同步

Block、Multiblock 和 Extended Multiblock 之间的关系为：

$$\text{Extended Multiblock} = E \times \text{Multiblock} = E \times 32 \times \text{Block}$$

3.2.2 链接对齐方式

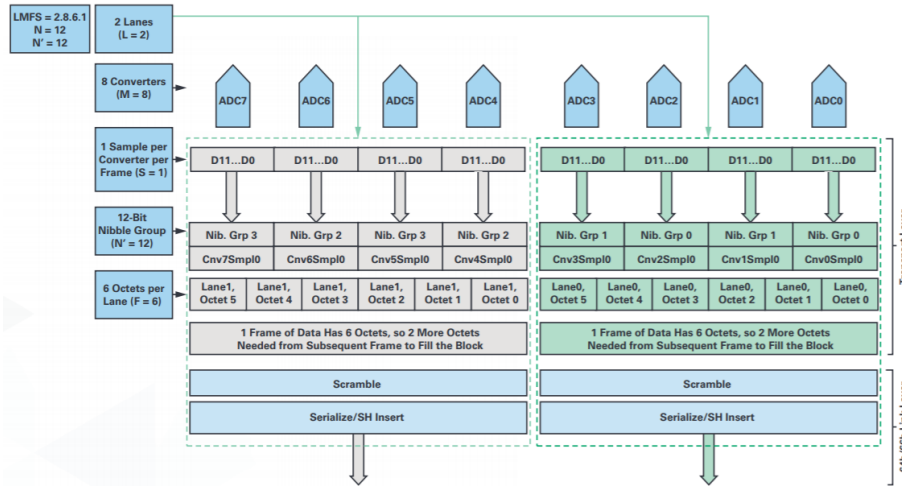


Figure 4. Transport layer mapping for LMFS = 2.8.6.1, N = 12, E = 3.

Figure 6. LMFS 应用简述

此处举例说明，以 LMFS=2861 为实际例子说明，不同的 LMFS 设置可以遵循相同的原理设置。上图就表示了 204C 中的基础参数设置为 LMFS=2861 时的对应分布，其中 N'和 E 分别为 12 和 3，与 JESD204B 相同不再赘述。在这种配置中，每条 lane 有 4 个 12 位样本 (N')，转换为 6 个 (F) 八位位组 (Octet)。由于一个多块需要八个八位位组填充，因此缺少的将使用来自后续帧的两个八位位组进行填充。

传输层中每个 Frame 包含 6 个八位位组，链接层中每个块包含 8 个八位位组，因此找到对应的 E 值十分重要，正确的 E 值使得传输层和链接层通过 LEMC 同步数据。E 值可由以下公式确定：

$$E = \text{LCM}(F, 256)/256=3 \quad (\text{LCM 为取最小公倍数算法, F 为 frame 设置值})$$

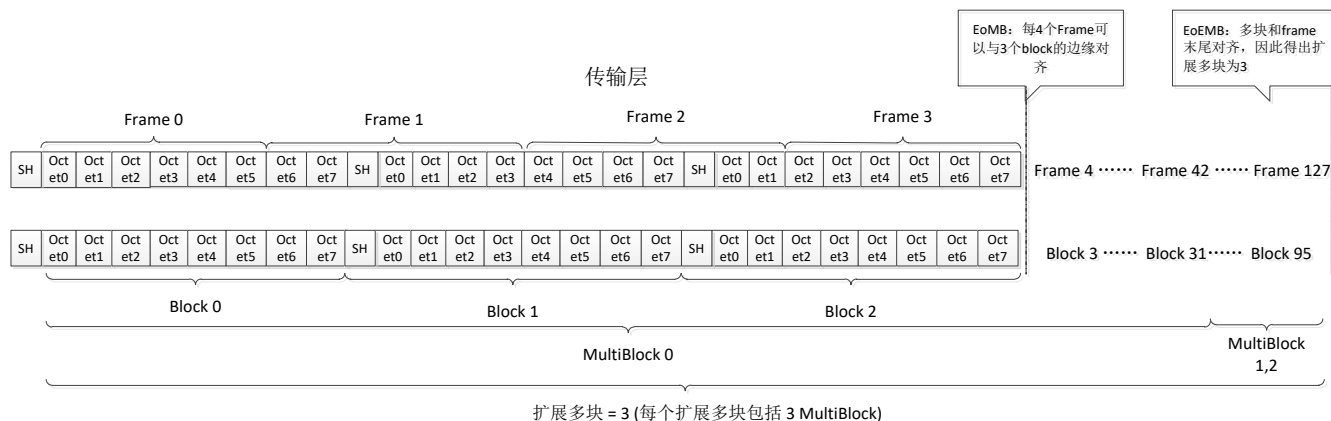


Figure 7. E取值原因简述框图

3.2.3 8/10B, 64/66B 和 64/80B 编码方式

编码方式主要是为了解决数据传输过程中带来的直流平衡而引起的基线偏移问题，克服高、低电平的运行差异，并在线路上保持固定的 DC 点。与 JESD204B 的物理层只包含 8/10B 编码方式不同的是，JESD204C 含有 8/10B, 64/66B 和 64/80B 三种编码方式。

3.2.3.1 8/10B 编码

8/10B 遵循 IEEE 标准 802.3，支持向后兼容 JESD204A / B，是 JESD204B 中仅有的编码方式。

1. 实现方式：每个 8 位（八位位组）均基于查找表的实现方式编码为 10 位的组成方式。
2. 编码效率：80%
 - a) 8/10B 编码是完成串行和解串的优秀方法，但是它会增加每个通道的容量 20% 的损失。随着数据容量的增加，8/10B 编码效率大大降低；
 - b) 在串行化和极快速率传输条件下，8/10B 编码与高速传输线会一起引入噪声。耦合到 DAC 可能会显示为频谱杂散，这会影响系统性能。因此 JESD204 提供了一个加扰多项式，一旦建立链路就扩展能量并降低杂散含量。
3. 对齐模式：传输仍使用 SYNC 接口和初始通道对齐序列（ILAS）来建立数据对齐和通道等待时间。

3.2.3.2 64/66B 编码

64/66B 编码仅由 JESD204C 支持，可实现更高的编码密度，极大地提高了数据吞吐量。与 8/10B 编码效率为 80% 相比，64/66B 编码的有效数据转换吞吐量和 SERDES 传输率的百分比接近 96.97%。

1. 实现方式：首先对 8 个八位位组的数据进行处理，将 2 位同步头附加到加扰的 8 个八位位组的数据上。

$$64/66B \text{ Encoding} = 8 \times \text{octets} + 2 \text{ bit sync header} = 66\text{bits}$$

2. 编码效率：96.97%

64/66B 相比于 8/10B 编码方式，编码效率有很大提高，但是由于符号长度较长，ADC 每个 sample 需要 8-16bit 数据，因此需要花费较长的时间进行编码，这会导致一定的编码延迟。

3. 对齐模式：不同于 8/10B 的 SYNC 接口和 ILAS 同步方式，64/66B 采用每个帧的前 2 位同步头进行同步。系统每次运行，都以识别同步头中的 2bit（01 或 10 是有效的同步符号，00 和 11 是非法值）确定同步，并在链接层中由多块形成扩展多块，进而与传输层的 frame 进行对齐。其中 16 个同步头可以被串联为 32 位同步消息，一旦系统识别出同步头 32 位数据所在的位置，便通过 32 位数据中的最后一个帧指示符实现帧边界同步。

3.2.3.3 64/80B 编码

64/80B 仅由 JESD204C 支持，以与 8/10B 相同的 80% 编码密度为代价，获得 SERDES 和 ADC 采样率之间的整数对应关系，

1. 实现方式：与 64B / 66B 编码不同的是，需要在数据的 8 个八位位组之间添加了附加的“填充位”，以形成 80 位数据。

$$64/80B \text{ Encoding} = 8 \times \text{octets} + 2 \text{ bit sync header} + 7 \times \text{fill bit pair} = 80\text{bits}$$

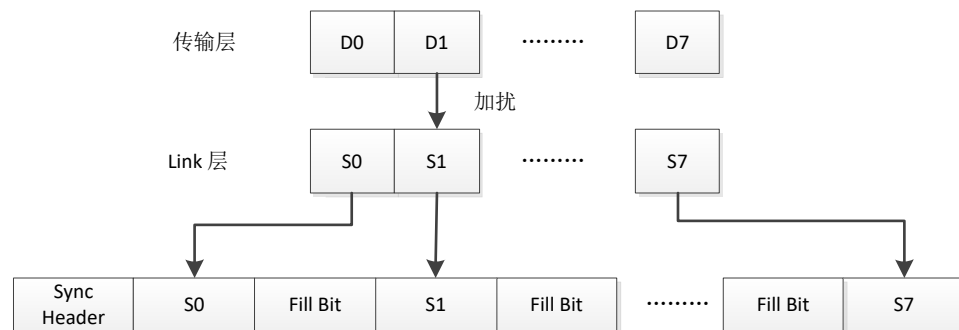


Figure 8. 64/80B 实现方式

2. 编码效率：80%

如上图所示，是 64/80B 编码的实现方式。在 JESD204C 的 TX 中，64/80B 编码将每 8 个八位位组进行加扰，并在最前端加入 2 位同步头，在每个八位位组之间加入 2 位填充位，形成 80bit 数据，然后经由 Gearbox，实现调整编码速率和实际数据速率的时钟速率比率，最后在物理层发送串行数据。

同理，64/80B 解码方式，是将数据在 JESD 的 RX 接收之后，通过 Gearbox 实现调整编码速率和实际数据速率的时钟速率比率，使块、多块和多块的末端同步，然后去掉同步头和八位位组之间的填充位，并经过 CRC 和 FEC 检查并纠正传输时造成的错误，最后将数据解串传至传输层处理并行数据。

3. 对齐方式：与 64/66B 方式相同，在此不再赘述。

3.3 传输层

在 JESD24C 中，传输层的功能是将 ADC/DAC 的采集到的数据映射到非扰码的 8 个八位字节，或是在传输层中将组装的数据以 8 个八位字节的帧数据通过传输层发送。204C 的传输层与 204B 保持相同，在这里不做特殊说明。

4 建链过程中的基本排查方法

在 AFE79xx 的建链过程中，一般来说，JESD RX 因为包含了 SERDES 中 CDR 模块的重要补偿功能，其中的 CTLE 和 DFE 功能影响了整个 JESD 接收链路的性能，因此 AFE79xxTX 的建链较为复杂。JESD TX 相对来说，调试会简单些，只需要调节 cursor 对应的摆幅。

在 JESD 建链过程中，会出现建链不成功的情况，而影响建链不成功的因素有很多，下文列举出了在 AFE79xx 调试过程中，常用的基本排查方法。

4.1 外部时钟信号检查

在 AFE79xx 的排查过程中，首先应该检查的是双方通讯的时钟是否同步，再检查 AFE79xx 内部的全局 PLL，因为全局 PLL 提供了 TX、RX 和 FB 的参考时钟，并提供时钟给 JESD 内部生成对应的 sysref 和本地钟。因此全局 PLL 锁定状态查询，是十分必要的。

在 AFE79xx 系列应用中，需要特殊注意的是，对 PLL 的写入和读取，需要先获取 SPI 对 PLL 操作权限。

4.2 JESD RX 的具体排查思路

第一步，首先确保 SERDES 的眼图值良好，正常张开。

第二步，检查在 64/66B 和 64/80B 中，是否可以正确找到 Sync Header，并且确保 Sync 信号已经通过软件寄存器成功发送（在 8B/10B 中，则需要可以识别 K28.5 个字符，并且可以识别连续的 comma_align_valid_thresh_tx0/1 个 K28.5 个字符）。如果 Sync Header 没有找到，需要先确保已正常发送 Sync 信号，设置的通道速率相同，并且 SERDES RX PLL 被正常锁定。

第三步，检查 CS（code group 同步）状态。对于开启的通道，CS 状态应为 0b10（对应十进制数值为 2）。如果检测到“Comma Align Lock”，则该值为 2，错误状态为 0。

第四步，如果 CS 状态正确，但是 Comma Align Lock 状态不正确并且没有 JESD 告警，则表示尚未接收到 Sync 信号。检查眼图、Sync Mux 以及 ASIC / FPGA 发送的数据内容是否设置正确。

第四步，检查 FS（frame 同步）状态。对于启用的通道，CS 状态应为 0b01（对应十进制数值为 1）。FS 状态错误的可能原因有以下几种：

1. 是否有历史错误记录。检查告警是否有任何历史错误产生，如果是这种情况，需要手动清除历史告警。

2. 检查是否正常检测到 Sysref。在 AFE79xx 中需要读 TX_DAC_SYSREF_FLAG 的值（0xF0 [4: 7]的值应为 0xf）以检查是否获得 Sysref。确保在重置并接收 sysref 之前，已经清除 FLAG（可以通过设置 CLEAR_TX_DAC_SYSREF_FLAG 为 0xf 清除，然后再设置回 0x0）。
3. 是否接收到 Sync 信号，检测到 Sync Header。FS State 状态机仅在正常接收数据时才会继续运行下一状态。
4. RBD 设置值不合适。更改 RBD 值，并检查其是否有效。

注意 CS 和 FS 的对应查询是通过状态机不断更新，需要确定状态机的历史状态是否清除。

在具体的寄存器报错中，为了方便找出问题原因，我们在 AFE79xx 详细地将不同错误列在寄存器的 bit 中，可以回读快速定位问题，参考如下：

JESDC interface mode:

bit7 = JESDC: EoEMB alignment error

bit6 = JESDC: EoMB alignment error

bit5 = JESDC: cmd-data in crc mode not matching with spi register bits

bit4 = JESDC: elastic buffer overflow (bad RBD value)

bit3 = JESDC: TIED to 0.

bit2 = JESDC: extended multiblock alignment error

bit1 = JESDC: sync-header invalid error ('11' or '00' received in expected sync header location)

Bit0 = JESDC: sync-header CRC error

4.2.1 SERDES 眼图检查

检查眼图时，首先要读取对应眼高和眼宽的寄存器数值，并确保眼高的值大于 800mV。读取值*0.5 是峰值中锯齿状眼睛的近似高度。如果 SERDES 眼图较差，则采用以下方法排查：

第一步，可以使用 getSERDESRxLaneEyeMarginValue 函数，检查设置的眼图裕量数值。

第二步，需要确保在初始化 AFE 之前，已正常配置 ASIC 侧的 SERDES TX。同时可以使用 SetSERDESTxCursor 函数检查 AFE79xx 内部的 STX cursor 配置是否正确。

第三步，通过发送 PRBS 伪随机码的方式检查物理层，SERDES TX 和 RX 都支持伪随机码发送和检测，并有 PRBS 9、15、23 和 31 多种模式可以选择。

enableSERDESRxPrbsCheck: 启用和设置 SERDES RX 的 PRBS 模式。

getSERDESRxPrbsError: 计算 PRBS 错误的数量。

sendSERDESTxPrbs: 启用和设置 SERDES TX 的 PRBS 模式。

可以通过在 ASIC/FPGA TX 中设置对应相同的 PRBS 模式，并使用 `getSERDESRxPrbsError` 函数读取接收计数器来检查。

第四步，可以使用 C 函数 `getSERDESEye`，以获得并检查 SERDES 的完整眼图。

4.2.2 SERDES lane 极性检查

在 JESD204B 中，如果 lane 的极性错误翻转，K 码也会正确链接上，但是 data 链接不会成功。而在 JESD204C 中，链接将会完全失败。

因为在 JESD204C 中，Sync Header 是一个 2 位未加扰值，位于每个数据块的开始位置，其内容经过解析之后，成为单个同步转换位。在每个块边界都有一个数据同步转换位，系统可以正常找到每个转换位。JESD204C 接收器中的状态机检测到一个数据转换，在若干位后再次查找下一个转换。在 lane 极性翻转的情况下，仍旧可以找到 01 转换，但是扩展多块 (EoMB) 中的结束位是固定为 00001，如果有错误翻转就无法实现结束位识别功能。因此 204C 无法实现链接成功，对于查找到 Sync Header，EoMB 却无法对齐的情况，可以考虑需要将极性翻转。

4.2.3 JESD RX 告警查询

首先需要查 JESD 状态寄存器。打开 SERDES 寄存器时，需要注意的是，在 AFE79xx 的 serdes IP 中有特殊特性，并不是所有 Serdes IP 的共性，但是在应用中需要特殊转换，所以在此列出。即 SPI 每次传输 8bit，而 SERDES 对应 16bit 长度的数据，所以利用 SPI 需要写入或回读两次，第一次进入 MSB 8-bits 寄存器位置，利用公式 $2*((A+0x2000)[13:0])+1$ 计算，然后第二次进入 LSB 8 bits 寄存器位置，利用公式计算 $2*((A+0x2000)[13:0])+1$ 。

回读时亦然，需要分别对 MSB 和 LSB 进行回读，且每次回读两次，以第二次为准。

在寄存器手册中，有明确将 16bit 列出了两个 8bit 对应寄存器的形式，需要在 16bit 对应 page 打开的情况下读取，否则将会导致 SERDES 状态机错乱。

下面列举了 JESD204C 常见错误和对应解决方案

常见错误类型	原因	对应解决方式
sync-header CRC error	Header CRC 错误.	首先保证 SERDES 的眼图正常，发射接收速率符合预期，此时检查接受侧的极性是否正确设置，可以通过 RX_POLARITY 里的具体寄存器查看。
sync-header invalid error	在 sync header 应该出现的 '01' 或 '10' 变化的位置，收到了 '11' 或 '00'	
extended multiblock alignment error	扩展多块对齐失败	确保 E 的数值设置正确，且在 ASIC 和 AFE 的两侧设置相同。
elastic buffer overflow (bad RBD value)	Elastic buffer 溢出	RBD 设置不合理，需要扫描最大 lane latency 并改变 RBD 数值
cmd-data in crc mode not matching with spi register bits	在 crc 模式下的 cmd-data 与寄存器的设置不同 (register)	屏蔽此错误，或确认寄存器写入值与正在传输的值相同

	JESDC_CMD_DATA)	
EoMB alignment error	Multi-Block 对齐时出错	查看眼图是否正常
EoEMB alignment error	Extended Multi-Block 对齐时出错	检查 JESD TX 和 RX 的 E 是否设置相同

5 204C 实现确定性延迟—RBD 的设置

5.1 系统寻找合适 RBD 的方法

JESD204B 是第一个实现在采样时间和到达数据之间提供确定的延迟的标准，在 sub-class1 和 sub-class2 中实现。

8/10B 是在最后一个 K 字符到第一个位数据或初始通道对齐序列的开始之间的位转换的最早通道和最晚通道之间的时间差。

64/66B 或 64/80B 是计算多块中第一个块的同步头中位转换的最早通道和最新通道时间之间的差

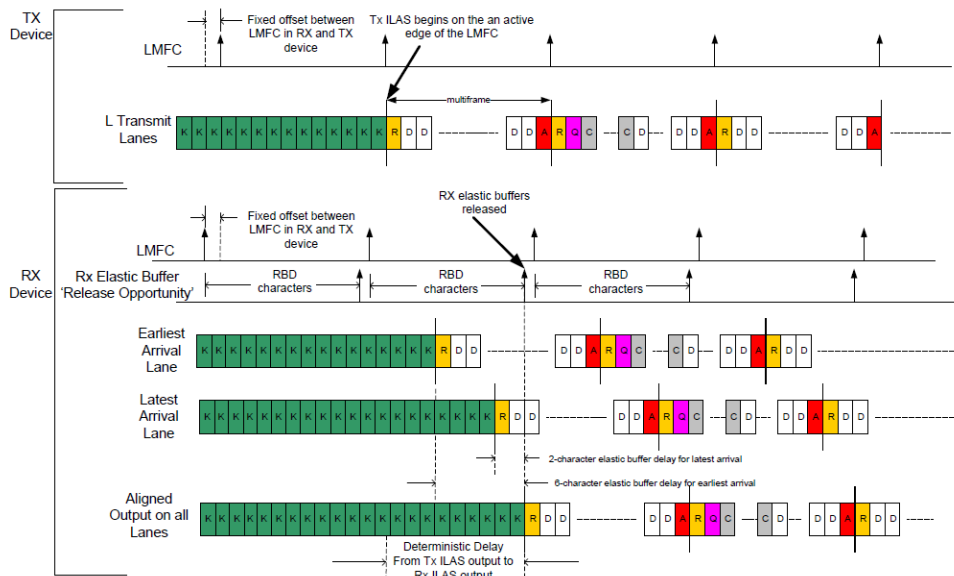


Figure 5 — Timing diagram illustrating the RX elastic buffer release opportunity in a JESD204C 8B/10B system

设计人员将多帧（8/10B）或扩展多块（64/66B）的长度设置为大于链路上可能的最大延迟变化。链路的接收器的缓冲区大小也必须大于延迟变化，以吸收接收器的延迟。一旦所有接收器都接收到时间戳，缓冲区将被释放。基本上，缓冲区会重置接收器中接收到的数据之间的延迟差异。设计人员可以对发布点进行微调，释放点调整基本上使释放点远离“不确定性”区域，这就是 RBD 的定义。

204C 已将 K（每多帧的帧数）从 204A / B 的 $K = 32$ 增加到 JESD204C 的 $K = 256$ ，增加通道之间变化的偏斜吸收范围。但是实现可能会增加缓冲区大小，而由于缓冲区需要等待所有通道到达才能释放，因此延迟可能会更高。

5.2 判断当前 RBD 取值是否合适的方法

在 AFE79xx 系列中，对当前 RBD 有如下扫描和判断过程

1. 读取 TX 对应 lane 的最大延迟

AFE79xx 的实际应用中，不同的 TX 配置，可能存在一个或是多个 link 的情况，在这一步骤当中，需要读取所有 link 对应所有 lane 的最大延迟，并取其最大值。以 AFE79xx 为例，在 TX 使用 2 个 link，4 条 lane 的情况下，需要读出对应第一个 link 的两个 lane 延迟值 a1 和 a2，以及第二个 link 的两个 lane 延迟值 b1 和 b2。

2. 将最大的 lane 延迟数值，赋给新的 RBD

将第一步骤中读到所有 lane 的延迟数值，取其最大值 a1，通过公式 $RBD = (a1 + 11) \% (K * 32)$ 计算当前合适的 RBD 值。其中 11 为系统默认留的裕量，可以保证在全温和系统中留足够的 RBD 裕量控制。

在这个公式中的 % 运算是取模，即对 $(a1 + 11)$ 除以 $(K * 32)$ 后取余数。这里的 K 值，在 204B 中是 K 码的具体数值，在 204C 中，则是对应 EMB 中 E 的取值。需要注意的是在 JESD204B 当中，因为 K 总值为 32，裕量可以留 4，则裕量占总 K 值的 1/8。在 JESD204C 中，因为 K 总值为 256，所以裕量选择留 11，这样可以保证在 204C 中的 RBD 裕量足够。

3. 读取并查看对应的 release opportunity 寄存器

Release opportunity 寄存器是检查当前 RBD 设置是否合适，如果返回值为 0，则确定当前 RBD 合适。如果返回值不为 0，则返回的值是当前 RBD 距离合适 RBD 的差值。例如 release opp 为 3，则需要在当前 RBD 基础上 +3，重新赋给当前的 RBD。

4. 将新的 RBD 重新赋给当前 RBD

将上一步的 release opp 的值 + 当前 RBD，就为合适的 RBD，重复第三步，直到 release opp 返回值为 0，则找到正确合适的 RBD 数值。

6 建链过程中 API 调用

AFE79xx/AFE80xx 在对 JESD204C 建链的过程中，支持基本/常用功能的 API 命令行调用。以下就是在建链功能中常用的 API 示例：

- SetGoodRbd 判断当前 RBD 是否合适
- GetGoodRbd 得到当前配置对应的合适 RBD 取值范围
- adcDacSync ADC 和 DAC 重新建链
- GetJesdRxAlarms 查看当前 JESD RX 端的所有告警

- clearJesdRxAlarms 清空 JESD RX 的历史告警
- GetJesdRxLinkStatus 查看当时建链状态
- AdcRampTestPattern 发送递增数测试

7 参考文献

1. Datasheet “AFE79xx Quad-Channel RF Transceiver With Feedback Path”
2. Standard “JEDEC STANDARD Serial Interface for Data Converters”

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATASHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, or other requirements. These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to TI's Terms of Sale (<https://www.ti.com/legal/termsofsale.html>) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2021, Texas Instruments Incorporated